

中国科学技术大学

专业硕士学位论文



基于良率预测和异常检测的主板功能测试策略优化方法研究

作者姓名： 李佳玉

学科专业： 电子信息

校内导师： 赵云波 教授

实践导师： 许镇义 副研究员

完成时间： 二〇二五年五月二十九日

University of Science and Technology of China

A dissertation for master's degree



**Research on Optimization
Methods for Motherboard
Functional Testing Strategy
Based on Yield Prediction and
Anomaly Detection**

Author: Li Jiayu

Speciality: Electronic Information Technology

Supervisor: Prof. Zhao Yunbo

Practice supervisor: AR. Xu Zhenyi

Completion date: May 29, 2025

中国科学技术大学学位论文原创性声明

本人声明所呈交的学位论文，是本人在导师指导下进行研究工作所取得的成果。除已特别加以标注和致谢的地方外，论文中不包含任何他人已经发表或撰写过的研究成果。与我一同工作的同志对本研究所做的贡献均已在论文中作了明确的说明。

作者签名：李佳玉

签字日期：2025年5月29日

中国科学技术大学学位论文授权使用声明

作为申请学位的条件之一，学位论文著作权拥有者授权中国科学技术大学拥有学位论文的部分使用权，即：学校有权按有关规定向国家有关部门或机构送交论文的复印件和电子版，允许论文被查阅和借阅，可以将学位论文编入《中国学位论文全文数据库》等有关数据库进行检索，可以采用影印、缩印或扫描等复制手段保存、汇编学位论文。本人提交的电子文档的内容和纸质论文的内容相一致。

控阅的学位论文在解密后也遵守此规定。

公开 控阅（ 年）

作者签名：李佳玉

导师签名：李波

签字日期：2025年5月29日

签字日期：2025年5月29日

摘要

主板功能测试旨在拦截不良主板流入笔记本电脑整机组装产线，避免增加返修成本。现有产线通常采用“必测项全检 + 选测项按比例抽检”的测试策略，存在漏检风险高、测试效率低的不足。对主板功能测试策略进行优化，不仅有助于降低不良主板的漏检率，还能有效提高测试效率，从而降低返修和测试成本。

现有的测试策略优化方法依据历史良率进行设计，在产线良率波动时因响应滞后无法及时进行测试策略调整，导致在良率下降时因测试不足增大漏检风险，在良率提升时因过度测试影响测试效率。

针对现有方法的局限性，本文提出了基于良率预测和异常检测的主板功能测试策略优化方法。与现有优化方法相比，可以有效应对良率波动的场景，降低由返修和测试成本组成的总成本。本文的主要研究工作分为以下三点：

(1) 针对测项良率突变频繁的难点，提出了基于改进 PatchTST 的测项良率预测模型，有效提升了预测精度。模型通过移动平均分解模块将良率解耦为表征长期模式的趋势项和包含突变的残差项，抑制突变对全局预测的干扰，同时基于多尺度子序列划分策略改进 PatchTST，实现局部波动细节捕捉与长期趋势建模，并利用加权融合模块平衡趋势与残差预测结果。在包含 25608 条真实测项良率数据的自建数据集上进行实验，结果表明，相比于现有模型的最佳性能，所提模型的平均绝对误差减少了 6.9%。

(2) 考虑到焊点空间分布以及电气连接关系对主板功能的影响，提出了基于多分支融合自编码器的主板功能异常检测模型，可以有效检测出功能异常的主板。模型中编码器设计为双分支结构，卷积分支通过多尺度卷积核捕捉空间特征，带掩码机制的 Transformer 分支用于提取电气连接关系，设计的跨结构注意力动态融合模块实现空间与电气特征交互，并利用转置卷积解码器计算重构误差得到主板功能异常概率。在包含 4218 条真实样本的自建数据集上进行了实验，结果表明，相比于现有模型的最佳性能，所提模型的 F1 分数提高了 2.5%，召回率提高了 4.2%。

(3) 针对现有优化策略在产线良率波动场景下的响应滞后问题，提出了有限时间约束下的双层动态排序测试策略优化方法，相较现有方法，进一步缩减了成本及测试时间。该方法在测项层基于期望测试时间对测项进行排序，优先测试高不良概率测项以最小化单板测试用时，在主板层使用主板功能异常概率、测项不良率和期望测试时间构建效益比指标，动态调整高效益比主板的测试优先级。在包含 843 条真实主板数据的自建数据集上进行了实验，与现有方法相比，可以节省 21.06% 的总成本和 37.87% 的测试时间，降低 14.29% 的漏检率。

关键词：功能测试；良率预测；异常检测；测试策略优化

ABSTRACT

Motherboard functional testing aims to intercept defective motherboards from entering laptop assembly lines, thereby preventing increased rework costs. Existing production lines typically adopt a “full inspection of mandatory test items + proportional sampling inspection of optional test items” strategy for functional testing, which suffers from high missed detection risks and low testing efficiency. Optimizing the motherboard functional testing strategy not only helps reduce the missed detection rate of defective motherboards but also effectively improves testing efficiency, thereby lowering rework and testing costs.

The existing testing strategy optimization methods, which are designed based on historical yield data, fail to promptly adjust testing strategies during production line yield fluctuations due to response lag. This results in increased risks of undetected defects from insufficient testing when yields decline, and compromised testing efficiency from excessive testing when yields improve.

To address the limitations of existing methods, this dissertation proposes a motherboard functional testing strategy optimization method based on yield prediction and anomaly detection. Compared with existing optimization approaches, the proposed method can effectively handle yield fluctuation scenarios while minimizing the overall costs associated with rework and testing. The main research work of this dissertation is divided into the following three aspects:

(1) To address the difficulty of frequent mutations in test item yields, a test item yield prediction model based on improved PatchTST is proposed, which effectively enhances prediction accuracy. The model decouples yield into trend components characterizing long-term patterns and residual components containing mutations through a moving average decomposition module, suppressing the interference of mutations on global prediction. Simultaneously, it improves PatchTST based on a multi-scale subsequence partitioning strategy to achieve local fluctuation detail capture and long-term trend modeling, and utilizes a weighted fusion module to balance trend and residual prediction results. Experiments conducted on a self-built dataset containing 25,608 real-world test item yield data entries demonstrated that the proposed model achieved a 6.9% reduction in mean absolute error compared to the best-performing existing models.

(2) Considering the impact of solder joint spatial distribution and electrical connection relationships on motherboard functionality, a motherboard functional anomaly de-

tection model based on multi-branch fused autoencoders is proposed, which can effectively detect functionally abnormal motherboards. The encoder in the model adopts a dual-branch architecture: a convolutional branch with multi-scale convolutional kernels captures spatial features, while a Transformer branch with masking mechanisms extracts electrical connection relationships. A cross-structure attention dynamic fusion module is designed to enable interactive spatial-electrical feature integration, and a transposed convolutional decoder computes reconstruction errors to determine the probability of functional anomalies on the motherboard. Experiments conducted on a self-built dataset containing 4,218 real-world samples demonstrated that the proposed model achieved a 2.5% improvement in F1-score and a 4.2% increase in recall rate compared to the best-performing existing models.

(3) To solve the response lag problem of existing optimization strategies in production line yield fluctuation scenarios, a double-layer dynamic sorting test strategy optimization method under finite time constraints is proposed, which further reduces costs and testing time compared with existing solutions. The method prioritizes test items with high defect probabilities at the test item level based on their expected test time to minimize single-board testing duration. At the mainboard level, it dynamically adjusts the testing priority of high-benefit-ratio mainboards using a benefit ratio metric constructed from mainboard functional anomaly probability, defect rate of test items, and expected test time. Experiments conducted on a self-built dataset containing 843 real-world mainboard data entries demonstrated that, compared to existing methods, the proposed approach achieved a 21.06% reduction in total cost, 37.87% decrease in testing time, and 14.29% lower undetected defect rate.

KEY WORDS: Functional Testing, Yield Prediction, Anomaly Detection, Test Strategy Optimization

目录

第 1 章 绪论	1
1.1 研究背景与意义	1
1.2 国内外研究现状	2
1.2.1 主板功能测试策略优化研究现状	2
1.2.2 良率预测研究现状	3
1.2.3 主板异常检测研究现状	4
1.2.4 研究现状总结	5
1.3 研究内容与组织结构	6
1.3.1 研究内容	6
1.3.2 组织结构	7
第 2 章 相关基础知识	9
2.1 SMT 工艺流程	9
2.2 功能测试	11
2.2.1 主板功能测试	11
2.2.2 笔记本电脑整机功能测试	12
2.3 PatchTST 模型	12
2.4 自编码器模型	13
第 3 章 基于改进 PatchTST 的测项良率预测模型	15
3.1 引言	15
3.2 测项良率数据分析	15
3.2.1 测项良率数据的特点	16
3.2.2 测项良率预测的难点	18
3.3 测项良率预测模型设计	18
3.3.1 模型总体结构	18
3.3.2 基于移动平均的良率分解模块	19
3.3.3 多尺度 PatchTST 模块	19
3.3.4 加权融合模块	23
3.4 实验设计与结果分析	24
3.4.1 数据集	24
3.4.2 实验环境与评价指标	25
3.4.3 实验设置	27

3.4.4	模型训练过程可视化	29
3.4.5	实验结果分析	30
3.5	本章小结	38
第 4 章	基于多分支融合自编码器的主板功能异常检测模型	39
4.1	引言	39
4.2	数据采集与预处理	40
4.2.1	数据采集	40
4.2.2	锡膏结构特征构建	41
4.2.3	基于空间距离的数据重排	41
4.3	基于多分支融合自编码器的主板功能异常检测模型设计	42
4.3.1	编码器设计	43
4.3.2	解码器设计	49
4.4	实验设计与结果分析	49
4.4.1	数据集	49
4.4.2	实验环境与评价指标	50
4.4.3	实验设置	52
4.4.4	模型训练过程可视化	53
4.4.5	实验结果分析	53
4.5	本章小结	58
第 5 章	有限时间约束下的双层动态排序测试策略优化方法	59
5.1	引言	59
5.2	有限时间约束下的双层动态排序测试策略优化方法设计	60
5.2.1	动态终止机制	60
5.2.2	测项层测试顺序优化	60
5.2.3	主板层测试顺序优化	61
5.2.4	双层优化策略实施流程	61
5.3	实验设计与结果分析	63
5.3.1	数据集	63
5.3.2	评价指标	63
5.3.3	实验设置	64
5.3.4	实验结果分析	65
5.4	本章小结	69
第 6 章	总结与展望	70
6.1	工作总结	70

6.2 研究展望	71
参考文献	72
致谢	78
在读期间取得的科研成果	79

插图清单

图 1.1	笔记本电脑生产流程	1
图 1.2	论文组织结构	8
图 2.1	SMT 工艺流程	9
图 2.2	笔记本电脑产线功能测试全流程示意图	11
图 2.3	PatchTST 模型架构	12
图 3.1	A 测项良率图	16
图 3.2	测项快速傅里叶变换单边幅度谱图	17
图 3.3	基于改进 PatchTST 的测项良率预测模型总体结构图	18
图 3.4	多尺度 PatchTST 模块	20
图 3.5	MS-PatchTST 训练损失曲线	29
图 3.6	T_1 、 T_2 、 T_3 趋势项部分预测结果展示	31
图 3.7	T_2 趋势项部分预测结果展示	32
图 3.8	T_1 、 T_2 、 T_3 残差项部分预测结果展示	34
图 3.9	T_1 、 T_2 、 T_3 整体良率部分预测结果展示	36
图 4.1	点位图示例	41
图 4.2	主板功能异常检测算法框架	43
图 4.3	基于多分支融合自编码器的主板功能异常检测模型结构图	43
图 4.4	Inception 结构图	45
图 4.5	跨结构特征注意力动态融合模块结构图	48
图 4.6	SE-MBAD 训练损失曲线	54
图 5.1	双层测试策略优化方法实施流程	62
图 5.2	不同时间约束下检测出的总不良主板数	67
图 5.3	不同时间约束下的总漏检率	67
图 5.4	不同时间约束下的测试总成本	68

附表清单

表 3.1	测项良率趋势性强度和季节性强度计算结果	17
表 3.2	主板功能测试结果示例	24
表 3.3	测试细节内容示例	24
表 3.4	筛选和拆分后数据示例	25
表 3.5	实验环境配置参数	25
表 3.6	基于改进 PatchTST 的测项良率预测模型核心超参数	26
表 3.7	趋势项对比实验结果	30
表 3.8	残差项对比实验结果	33
表 3.9	良率对比实验结果	35
表 3.10	D-MSP YP 模型消融实验结果	37
表 4.1	SPI 数据示例	40
表 4.2	标准化后模型输入数据示例	50
表 4.3	基于多分支融合自编码器的主板功能异常检测模型核心超参数	51
表 4.4	主板功能异常检测对比实验结果	54
表 4.5	SE-MBAD 模型消融实验结果	57
表 5.1	测试策略对比实验结果	66

第1章 绪论

1.1 研究背景与意义

在国家《“十四五”智能制造发展规划》^①的战略指引下，我国制造业正经历从数字化向智能化的跃迁进程。该规划明确提出：到2025年，规模以上制造业企业大部分实现数字化网络化，重点行业骨干企业初步应用智能化；到2035年，规模以上制造业企业全面普及数字化网络化，重点行业骨干企业基本实现智能化的目标。

笔记本电脑制造业作为智能制造重要应用领域，在政策与技术驱动下，正朝着智能化、高效化和可持续化方向快速发展，产业规模不断扩张^[1-2]。仅2024年，我国就出口笔记本电脑1.43亿台。主板作为笔记本电脑的核心组件，其生产规模随着笔记本电脑市场的蓬勃发展而同步增长。国内某典型笔记本电脑制造工厂自动化产线的笔记本电脑生产流程如图1.1所示。其中，功能测试是实现笔记本电脑制造质量控制的关键。

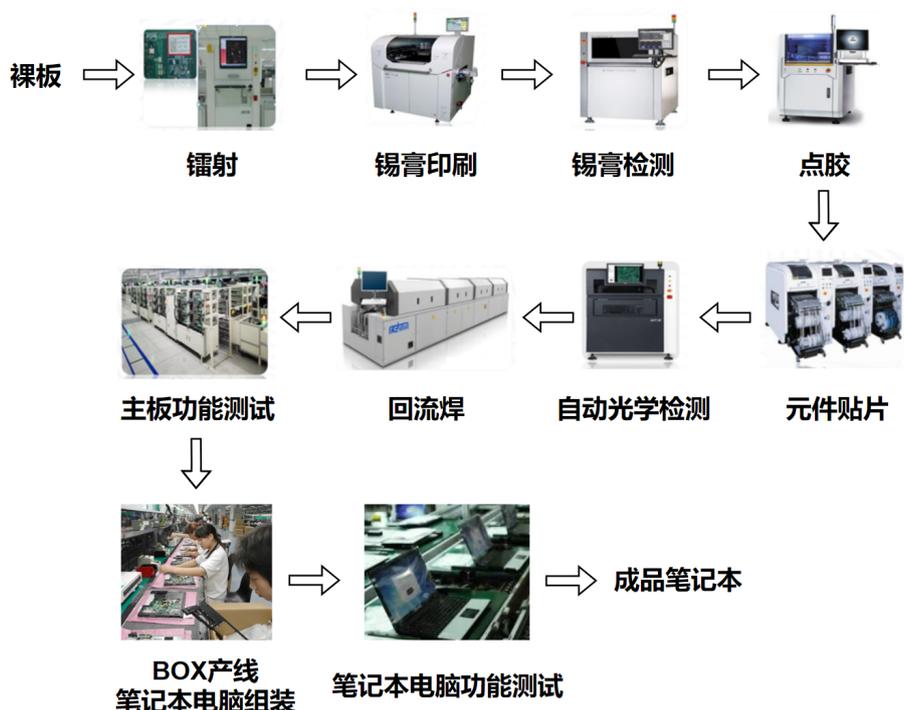


图 1.1 笔记本电脑生产流程

在笔记本电脑端到端功能测试工作流程中，主要存在两个功能测试阶段，即主板功能测试阶段和笔记本电脑功能测试阶段。主板功能测试阶段通常测试主

^①网页见：https://www.ndrc.gov.cn/fzggw/jgsj/cys/sjdt/202112/t20211231_1311203.html，访问时间：2025年3月1日。

板各功能模块，由自动测试机台完成^[3]。笔记本电脑功能测试阶段是对笔记本电脑成品进行测试，涵盖多种测试项目^[4]，且由于质量要求严格，所有成品笔记本电脑都需要进行功能测试。在这两个阶段中如果检测出产品功能不良，需要进行返修。

在主板功能测试阶段，一块典型的待测试主板通常涉及约 30 个不同的测试项目，如果对主板的所有测项均进行测试，通常需要花费数百秒，对生产线来说过于耗时，会造成主板大量堆积，影响生产效率。但如果对主板的测试不充分，则可能导致不良主板流入后续的笔记本电脑组装产线，导致在进行全测的笔记本电脑成品阶段测出功能不良，增加返修成本。因此需要一个合适的测试策略来平衡测试时间与检出能力，进而实现测试成本与返修成本的最小化。现有产线通常采用“必测项全检 + 选测项按比例抽检”的主板功能测试策略，存在测试效率低、漏检风险高的不足，进而导致高昂的测试成本和返修成本，需要对其进行优化。

本研究考虑一家典型笔记本电脑制造工厂（以下简称 L 厂），其拥有 30 多条主板功能测试线。一条自动化测试线的设备成本近一百万元，其中包括 48 台测试机台，每台成本约一万元，所需的配件成本约四十万元。该工厂产线现行的主板功能测试策略存在测试效率低、漏检风险高的问题，如果通过优化测试策略，能在与现有不良主板检出率相同的情况下节省 10% 的测试时间，那么一条测试产线仅设备成本就可节省十万元，整个工厂则可节省约三百万元。如果能够在减少测试时间的同时提高不良主板检出率，还可以进一步的降低笔记本电脑制造过程中的测试成本和返修成本^[5]。因此，主板功能测试策略优化研究可以带来巨大的经济效益，具有重要意义。

1.2 国内外研究现状

本节首先介绍主板功能测试策略优化的研究现状，总结现有方法在产线良率突然波动的场景下存在的问题。为了解决此问题，本研究需要进行测项良率预测和主板功能异常检测，将测项良率与主板功能异常概率做为决策依据进行动态的测试策略调整，因此本节也对良率预测和主板异常检测进行了研究现状调研。

1.2.1 主板功能测试策略优化研究现状

在笔记本电脑制造中，主板功能测试策略优化具有重要的实际意义，但在学术界，该领域的研究却较为匮乏。这主要是因为主板相关数据在工厂内部仅对信任的技术人员开放，且仅有少数与工厂紧密合作的学术人员能够接触到，因此学

界无法利用工业真实数据进行分析。同时，业界缺乏对主板功能测试环节的分析，对于如何优化测试策略无从下手。

尽管存在数据壁垒，仍有学者与工厂合作致力于主板功能测试策略优化的研究。Kang 等^[5]首次从学术角度系统地研究了笔记本电脑制造中的主板功能测试问题。该研究明确了功能测试的三个关键原理：对 100% 的成品笔记本电脑进行功能测试是确保质量的必然要求；降低成品笔记本电脑的不良率是降低维修成本的基本要求；主板功能测试是降低成品笔记本电脑不良率的关键方法。该研究将主板功能测试问题数学建模为优化问题，解释了与其合作的工厂现有测试策略，并在此基础上，考虑到测试时间、成本等多方面的约束，提出了特定的优化策略，对工厂的测试策略进行了优化。同时，该研究明确指出，在标记数据稀缺的条件下，实现对测项不良率的准确估计是主板功能测试策略优化面临的关键挑战。

Li 等^[6]提出了基于故障树分析的板级功能测试选择方法。他们以笔记本电脑主板为研究对象，深入分析返工板的根本原因，构建了面向板级功能测试的故障树。通过故障树确定主板和测试项目的可靠性，将不良率作为可靠性指标设定阈值，将生产线上每个测试项目的实际不良率与对应的不良率阈值进行比较，若实际不良率大于阈值，则进行测试，若小于，则不进行测试，从而制定出合理的测试策略。

然而，上述方法依赖历史良率数据制定测试策略，在面对产线良率突然波动的场景时，存在滞后性，无法及时调整测试比例或阈值，导致在良率下降时因测试不足漏检风险增大，在良率提升时因过度测试影响测试效率。在有限的测试时间内，精准测试出不良主板，有助于提高不良主板的检出率，也有助于提高测试效率、节省测试时间。想要实现精准测试，就需要优先测试高异常概率主板的高不良概率测项。良率预测模型可以预测测项良率，异常检测模型可以给出主板功能异常概率，通过对主板及其测项的测试顺序进行优化，优先对高异常概率主板的高不良概率测项实施测试，可以在提高不良主板检出率的同时减少测试时间，达到减少返修和测试成本的效果。

1.2.2 良率预测研究现状

良率预测旨在通过分析生产数据提前预估产品良品率，实现对产品生产质量的前瞻性把控。现有的良率预测方法主要可分为两类：

(1) 传统良率预测方法

传统方法认为工艺参数和生产过程数据与良率存在相关性，通过统计学习或深度学习提取关键特征进行良率预测^[7]。Shin 等^[8]采用结合神经网络和基于记忆推理的方法，提升了良率预测能力。Jang 等^[9]提出基于深度学习算法的新型良

率预测模型，该模型利用晶圆上芯片位置的空间关系和芯片级良率变化数据进行训练，选取五个空间特征作为输入变量，经数据预处理后，使用深度神经网络进行建模。郑城^[10]提出基于卷积神经网络（Convolutional Neural Network, CNN）-支持向量回归的晶圆良率预测方法，有效挖掘晶圆接受测试（Wafer Acceptance Test, WAT）参数与晶圆良率之间的复杂非线性映射关系。许鸿伟^[11]对 WAT 参数进行特征选择，并使用基于改进的连续型深度信念网络进行晶圆良率预测。Li 等^[12]考虑了集成电路设计中因工艺、电压和温度参数变化导致的良率预测问题，提出了一种高效的多参数良率预测框架。

传统良率预测方法通过数据驱动的统计学习或深度学习模型，有效捕捉工艺参数与良率的复杂关系，在稳态环境下具备可靠性高、模型多样等优势。然而，传统方法在建模时通常基于稳态环境假设，面对参数漂移与设备退化随时间产生的累积效应时，往往难以精准捕捉其动态演变规律。

（2）融合时序特征的良率预测方法

鉴于产品制造本身具备显著的时序特性，近期研究开始将目光聚焦于提取良率数据的时序特征，实现更精准的良率预测。Chen 等^[13]使用了实际产量数据和时间数据，产量数据包含每月投入生产的晶圆数量、合格晶圆数量、每片晶圆上的芯片数量以及合格芯片数量等，提出一种基于智能体的模糊协作智能方法，有助于实现良率预测自动化。周秀^[14]提出融合注意力机制的双向长短期记忆神经网络的晶圆良率预测模型，该模型考虑了晶圆 WAT 样本间的时序相关性，预测结果收敛稳定性更好，有效提升了晶圆良率预测的准确度。Lee 等^[15]充分考虑了制造过程顺序，克服了传统方法在处理变量交互、最优性及过程顺序等方面的缺陷，提出了基于注意力机制的长短期记忆网络（Long Short-Term Memory, LSTM）模型，依据 LSTM 处理顺序性数据的特性，最终输出晶圆的预测良率。

现有研究开始关注良率的时序特征，取得了一定的成果。然而对于部分良率数据易突变这个特点，现有研究并未针对性地进行考虑，从而限制了其预测精度。

1.2.3 主板异常检测研究现状

主板作为计算机核心组件，其本质为高度集成的印刷电路板（Printed Circuit Board, PCB）。主板异常检测旨在识别由焊接缺陷导致的主板功能不良。由于当前研究普遍采用 PCB 作为通用研究对象开展异常检测相关研究，且主板的功能异常本质上可视为特定 PCB 的异常，所以本小节将详细介绍 PCB 异常检测的研究现状。

由于 60% - 70% 的表面贴装技术（Surface Mount Technology, SMT）焊接缺陷由锡膏印刷导致^[16-17]，现有研究通常使用锡膏检测（Solder Paste Inspection,

SPI) 数据对 PCB 进行异常检测。

PCB 异常可以分为焊点级、组件级、以及 PCB 级的异常。现有研究主要集中在焊点级, 利用 SMT 数据对单个焊点进行异常检测。Ulger 等^[18]提出用 β - 变分自编码器检测焊点异常, 可在无特殊照明、手工特征工程和大量标记异常样本的情况下工作。Cao 等^[19]提出焊点异常检测框架, 该框架从 SPI 和回流焊前的自动光学检测 (Automatic Optical Inspection, AOI) 数据提取特征, 借助自动编码器 (Autoencoder, AE) 学习正常焊点模式, 通过设定重建误差阈值识别异常。Mirzaei^[20]围绕 PCB 制造的质量控制与故障检测展开研究, 利用机器学习和深度学习技术, 处理数据不平衡问题, 构建并评估多种模型, 实现对焊点缺陷预测、人工检测标签预测和维修标签分类, 为 PCB 制造的自动化和智能化提供了有效方案。Zheng 等^[21]提出元数据驱动的多任务迁移学习方法, 该方法通过基于元数据定义任务、发现任务关系、进行任务聚类以及训练和推理模型, 实现高效异常检测。Yoo 等^[22]提出卷积循环重构网络, 该网络包含空间编码器、时空编码器 - 解码器和空间解码器, 通过卷积时空记忆捕捉时空模式, 利用时空注意力机制解决长时依赖问题, 提升了异常检测性能。

目前对组件级和 PCB 级的异常检测研究较少。Tang 等^[23]针对基于 SPI 数据预测是否检测到组件缺陷的任务, 提出一种统计特征提取方法, 将引脚级原始数据压缩为组件级特征, 并构建带馈送不平衡控制机制的神经网络模型, 控制训练时正负样本比例来缓解数据不平衡问题。Rao 等^[24]基于 SPI 特征数据检测 PCB 制造缺陷, 该研究指出 SPI 设备可获取锡膏信息, 且其提取特征与回流焊后发现的焊接缺陷有相关性, 并且对焊点、组件和 PCB 三个层级均构建了异常检测模型, 训练了 XGBoost 模型用于 PCB 级的异常检测。

总的来说, 现有研究通常关注由单个焊点焊接缺陷导致的组件或 PCB 异常。然而焊点之间关系紧密, 若相邻焊点间距过小可能引发短路, 同一线路的多个焊点出现异常时可能导致信号传输受到影响, 现有方法缺乏对体现焊点间耦合关系的空间分布及电气连接关系的建模, 导致难以有效识别 PCB 级的异常。

1.2.4 研究现状总结

(1) 现有良率预测模型对良率数据突变特性刻画不足, 导致预测精度受限

融合时序特征的良率预测模型可以提升动态生产场景下的良率预测精度。然而, 部分良率数据具有易突变的特性, 并未被现有模型充分考虑, 这就导致现有预测模型直接应用于易突变的测项良率时精度受限。

(2) 焊点之间关系紧密, 现有异常检测方法缺乏对焊点间空间分布及电气连接关系的建模, 难以有效识别主板功能异常

现有方法通常关注单个焊点的异常, 忽略了焊点间的耦合效应。而当元件

焊点存在高度差时，可能导致墓碑效应；当邻近焊点偏移过大时，可能引发桥接风险；当同一线路多个焊点出现异常时，可能导致信号传输受到影响。这些情况都会使得主板功能出现异常，仅孤立地考虑单个焊点，难以全面、准确地识别出主板功能异常。

(3) 现有优化方法依赖测项历史良率制定测试策略，在产线良率波动场景下存在响应滞后的问题

现有方法依赖测项历史良率去计算测试比例或阈值，优化测试策略。在面对产线良率突然波动的场景时，存在滞后性，无法及时调整测试比例或阈值，导致在良率下降时因测试不足漏检风险增大，在良率提升时因过度测试影响测试效率。

1.3 研究内容与组织结构

本文面向主板功能测试策略优化问题，根据上述研究不足，提出本文的研究内容和组织结构。

1.3.1 研究内容

针对1.2.4中提到的研究不足，本研究从设计可应对良率波动的动态测试策略的角度出发，充分利用生产过程中实时采集的多维度数据，使用良率预测模型和异常检测模型得到测项良率和主板功能异常概率，并以这两者为决策依据设计双层动态排序测试策略。

由于主板必测项测试覆盖了核心功能模块以及不良率较高的模块，如电源供电、开机自检测试等，目的在于验证关键硬件和接口能否正常运行，旨在检测主板核心功能是否实现，需要进行全面测试。因此，本研究不对必测项的测试策略进行优化，仅针对选测项进行测试策略优化，文中所提到的测项除非特别说明均指选测项，主板功能异常也指选测项导致的主板功能异常，计算的成本、测试时间也均指选测项导致的成本和时间花费。

本文具体包括以下三部分内容：

- (1) 针对测项良率突变频繁的难点，提出基于改进 PatchTST 的测项良率预测模型。首先，对测项良率进行分析，得出其趋势性强、周期性弱且易突变的特点；其次，针对该特点使用移动平均分解模块将原始序列解耦为表征长期规律的趋势项与包含突变的残余项，削弱频繁突变对整体预测的干扰；然后，基于多尺度子序列划分策略改进 PatchTST，实现局部波动细节捕捉与长期趋势建模，进而实现趋势项和残余项的准确预测；接着，使用加权融合模块整合趋势项与残余项的预测结果，得到预

测的良率；最后，使用自建的真实测项良率数据集进行实验，验证模型效果。

- (2) 考虑到焊点空间分布以及电气连接关系对主板功能的影响，提出基于多分支动态特征融合自编码器的主板功能异常检测模型。首先，构建同一元件锡膏高度差等特征，并依据锡膏间的空间距离对数据进行重新排布；其次，在编码器部分设计双分支结构，分别从空间和电气连接两个方面提取与主板功能状况相关的关键特征，使用设计的跨结构注意力动态融合模块实现空间与电气特征融合；接着，使用基于转置卷积神经网络的解码器计算重构误差，并根据重构误差得出主板功能异常概率；最后，利用自建的真实主板数据集进行实验，验证模型效果。
- (3) 针对现有优化策略在产线良率波动场景下的响应滞后问题，提出有限时间约束下的双层动态排序测试策略优化方法。首先，在测项层，根据主板各测项的良率预测结果，以最小化每块主板的期望测试时间为目标，对测项测试顺序进行排序；接着在主板层，对每批次主板依据主板功能异常概率、测项不良率和期望测试时间构建效益比指标，动态调整高效益比主板的测试优先级；最后，将 843 块主板按每批 48 块划分为 18 个批次，最后一批包含 27 块，对每批次主板在有限的测试时间内按优化顺序进行测试，计算漏检率和花费的总成本等指标，验证双层动态排序测试策略的有效性。

1.3.2 组织结构

论文的组织结构如图1.2所示，共有六章，具体描述如下：

第1章：绪论。介绍主板功能测试的研究背景，阐明对主板进行功能测试策略优化的意义。同时对现有良率预测、主板异常检测和主板功能测试策略优化研究现状予以总结，基于现有研究中存在的问题，给出论文的主要研究内容和组织架构。

第2章：相关基础知识。介绍论文涉及到的基础知识以及使用的一些技术方法，包括 SMT 工艺流程、功能测试，PatchTST 模型和自编码器模型。

第3章：基于改进 PatchTST 的测项良率预测模型。首先对测项良率数据进行深入分析；然后依据测项良率数据的特点设计基于改进 PatchTST 的测项良率预测模型；最后利用真实数据进行实验，验证模型的有效性。

第4章：基于多分支融合自编码器的主板功能异常检测模型。首先构建同一元件锡膏高度差等特征，并依据锡膏的空间距离对数据进行重新排布；其次设计基于多分支动态特征融合自编码器的主板功能异常检测模型；最后利用真实的主板数据进行实验，验证模型有效性。

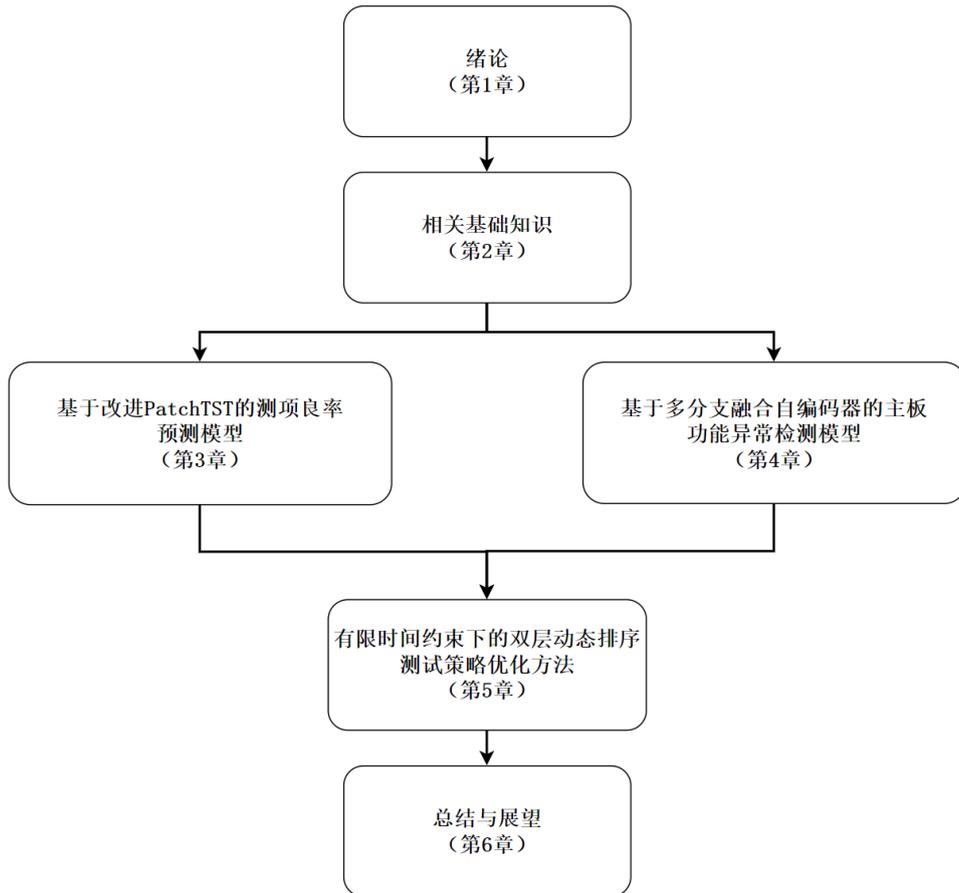


图 1.2 论文组织结构

第 5 章：有限时间约束下的双层动态排序测试策略优化方法。依据第 3 章和第 4 章得到的测项良率和主板功能异常概率，在测项层和主板层分别进行测试顺序优化，并利用产线采集的真实数据，验证所提优化测试策略的有效性。

第 6 章：总结与展望。对论文研究内容进行总结，分析论文研究中存在的不足，以及进一步的改进方向。

第2章 相关基础知识

2.1 SMT 工艺流程

在当今电子组装行业，SMT^[25-26]是极为流行的制造工艺之一。它是一种在无插头或引脚的 PCB 表面装配电子元器件的方法，先将元器件安置在 PCB 上，再通过回流焊等方式实现组装^[27-29]。

锡膏印刷、元件贴片和回流焊是 SMT 的核心工序^[30-31]。在锡膏印刷之后设有 SPI 用于检测锡膏印刷质量^[21,32-33]；在元件焊接前或后设有 AOI^[34-35]用以判定贴片质量或焊接效果。SMT 生产的主要工艺流程如图2.1所示。



图 2.1 SMT 工艺流程

图2.1中每步工艺的介绍如下：

1. **镭射**：镭射机台利用高能量密度的激光束，通过瞬间高温烧蚀或气化材料，在主板特定区域形成清晰、永久性的序列号标识。
2. **锡膏印刷^[36-38]**：锡膏印刷是 SMT 工艺中的首要步骤，其原理是通过钢网将锡膏精确地印刷到 PCB 的焊盘上。具体过程包括：首先将钢网固定在印刷机上，然后将搅拌均匀的锡膏添加到钢网上，接着使用刮刀在钢网上移动，使锡膏通过钢网上的孔洞均匀地沉积在 PCB 的焊盘上。在印刷过程中，需要严格控制印刷压力、速度、锡膏的粘度和量等参数，以确保锡膏的印刷质量和一致性。锡膏印刷的质量直接影响到后续贴片和焊接的质量，在整个 SMT 工艺中占据着至关重要的地位。
3. **SPI 检测^[39-41]**：在锡膏印刷完成后，紧接着便要进行 SPI 检测。SPI 借助专业的 3D 检测设备，能够对锡膏印刷的高度、体积、面积等参数进行精准测量，其高度测量精度可达 $\pm 1\mu\text{m}$ 。通过 SPI 检测，可以及时且精准地发现锡膏印刷量过多或过少、印刷位置偏移等各类缺陷。一旦检测出问题，便能在后续工序开展前及时进行返修，有效保障焊点质量，

极大地降低因锡膏印刷问题而产生的不良率。SPI 检测机会记录主板每个焊点的信息。

4. 点胶：点胶主要用于在主板上涂覆胶水以固定贴片元件。其过程是通过点胶设备将特定的胶水精确地涂覆在指定位置，以确保元器件在后续的焊接过程中不会移位或脱落。
5. 元件贴片^[42-43]：元件贴片是将表面贴装元器件精确地放置到主板指定位置上的过程。这个过程通常由自动化贴片机完成，贴片机通过吸取元器件并将其放置在主板上预先涂有锡膏或红胶的位置，以确保元器件与主板的焊盘正确对齐。元件贴片的质量直接影响到后续焊接的质量和整个主板的性能，是 SMT 工艺中的关键步骤之一。
6. AOI 检测^[44-45]：AOI 是一种利用光学原理对主板进行自动检测的技术。它通过光学镜头扫描主板，采集图像，并将检测数据与标准图像进行比对，以识别出焊点和元器件的缺陷，如缺失、偏移、极性错误、短路和开路等。在 SMT 生产过程中，AOI 可放置在回流焊前，这样能及时发现元件贴装问题，避免不良品进入回流焊环节，减少能源与物料浪费；也可放置在回流焊后，用于检测回流焊后的焊接质量，如是否存在虚焊、短路等问题，对焊接质量进行最终把关。两种放置位置各有其优势，都能极大提升 SMT 生产过程中的质量检测效率。L 厂自动化产线的 AOI 放置在回流焊前，用于检测元件贴片质量。
7. 回流焊^[46]：回流焊是一种关键的焊接工艺，通过在特定的温度曲线下加热使主板上的锡膏熔化，从而将表面贴装元器件与焊盘之间形成可靠的电气和机械连接。回流焊的过程通常包括预热、升温、回流峰值温度和冷却等阶段，以确保锡膏能够充分熔化并形成良好的焊点。回流焊的质量直接影响到整个主板的性能和可靠性，是 SMT 生产流程中的重要环节。

本研究需要对焊盘、锡膏和焊点这三个名词进行区分。

1. 焊盘：是主板上预先设计好的用于焊接元器件引脚的金属区域，通常由铜箔制成，并经过表面处理以提高可焊性。
2. 锡膏：是一种膏状的焊接材料，主要由合金粉末与助焊剂混合而成。在 SMT 流程的锡膏印刷环节，它被印刷到主板的焊盘上，作为连接电子元器件引脚与焊盘的媒介。
3. 焊点：是在完成回流焊后，由熔化的锡膏冷却凝固后形成的连接元器件引脚与焊盘的部位。焊点不仅实现了电气连接，还提供了机械固定作用，确保元器件稳固地安装在主板上。

简而言之，在 SMT 流程中，锡膏经锡膏印刷工序被精准涂布至主板的焊盘

上，随后在回流焊的作用下，锡膏熔化并冷却凝固，进而形成连接电子元器件引脚与焊盘的焊点。

2.2 功能测试

在笔记本电脑制造过程中，功能测试是把控笔记本电脑质量的关键环节，如图2.2所示，制造过程中包含两个功能测试阶段：主板功能测试阶段和笔记本电脑整机功能测试阶段。

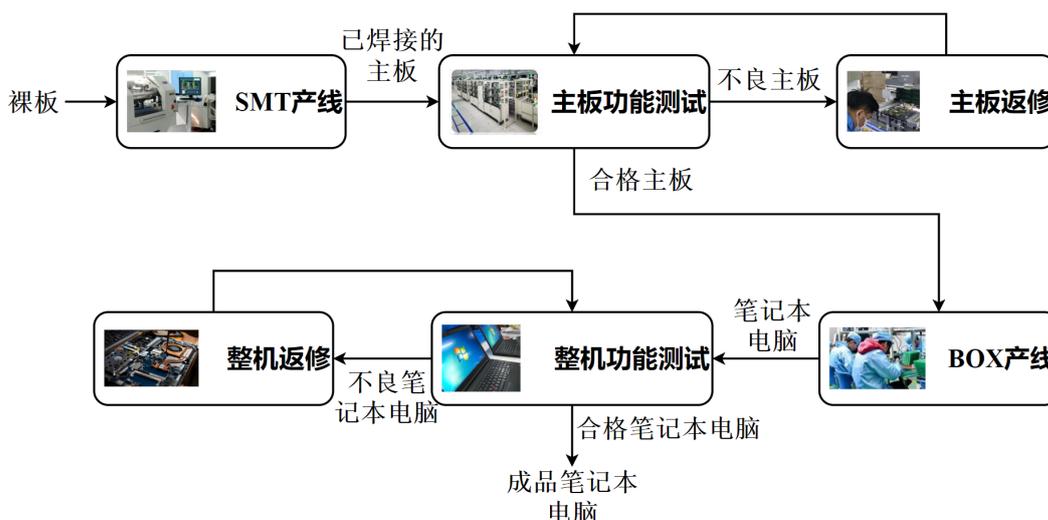


图 2.2 笔记本电脑产线功能测试全流程示意图

2.2.1 主板功能测试

主板功能测试是指使用专门的测试机台，将主板连接到测试机台上，机台通过特定连接模块与主板各接口、插槽对接，向主板发送各种输入信号，并测量主板的输出信号，以验证主板在各种设计状态下的功能是否正常的一种测试方法^[47-48]。

目前，工厂普遍采用“必测项全检+选测项按比例抽检”的测试策略，即每一块主板都必须测试必测项，并且抽取一定比例的主板，对选测项进行全部测试。必测项的测试主要涵盖重要的核心功能模块和高不良率模块，如电源供电、开机自检测试等，旨在测试关键硬件和接口是否正常工作，测试时间约几十秒；选测项则主要针对拓展功能模块，如网络、音频、USB接口等，测试其性能和兼容性，测试时间约一百多秒。测试期间，机台会严格依照预设，将所有设置好的测项依次测完，不会因某个测项出现不良就中途停止。在测试中，主板任一测项功能不良，即判断主板功能不良，需要进行返修。

2.2.2 笔记本电脑整机功能测试

完成主板功能测试且合格的主板，进入 BOX 产线组装成笔记本电脑成品。之后，成品需经历全面功能测试。基本功能测试涵盖屏幕显示、键盘触摸板、声音、网络连接、电源电池等方面；性能测试借助机台运行专业软件，评估显卡、CPU 性能以及整机在不同场景下的表现；散热测试将电脑置于特定环境舱模拟高负载运行，监测硬件温度变化；针对指纹识别等特殊功能，利用机台创设不同条件进行专项测试。在笔记本电脑整机功能测试阶段，所有笔记本电脑成品都需要进行功能测试。若测试中发现问题，产品需返修，只有各项功能均合格的笔记本电脑才能流入市场。

2.3 PatchTST 模型

在时间序列预测领域，PatchTST^[49] 凭借其创新设计展现出卓越性能。该模型基于分块（Patching）和通道独立两大关键组件构建。Patching 旨在将时间序列划分为子序列级别的块（Patch），以此捕捉局部语义信息；通道独立则规定每个输入令牌仅包含单个通道信息，避免通道间干扰，使模型能更专注于每个单变量时间序列的特征学习。

如图2.3所示，PatchTST 模型将多元时间序列样本按通道拆分为多个单变量时间序列，每个单变量时间序列独立输入 Transformer 骨干网络。输入的多元时间序列经实例归一化和分块操作后，成为 Transformer 的输入令牌，经 Transformer 编码器处理，最终由线性层输出预测结果。

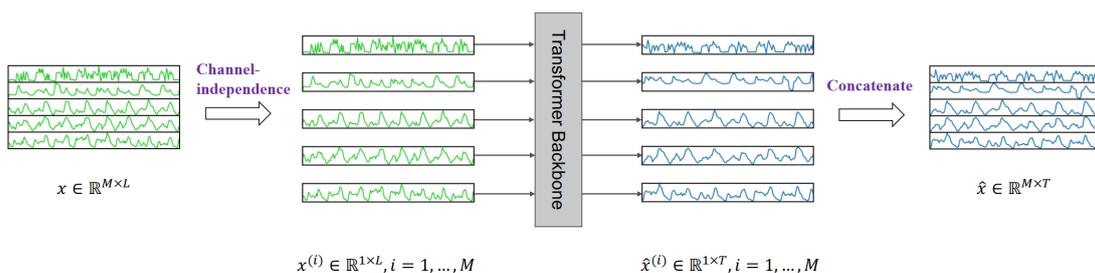


图 2.3 PatchTST 模型架构

对每个单变量时间序列 $x^{(i)}$ 划分 Patch，Patch 可以重叠也可以不重叠。设 Patch 长度为 P ，步幅为 S ，Patching 过程会生成一个 Patch 序列 $x_p^{(i)} \in \mathbb{R}^{P \times N}$ ，其中 $N = \left\lfloor \frac{L-P}{S} \right\rfloor + 2$ ，代表 Patch 的数量。为保证 Patch 的完整性，在原序列末尾填充 $x_L^{(i)}$ ，重复 S 次。

将 Patch 通过可训练的线性投影 $W_p \in \mathbb{R}^{D \times P}$ 映射到维度为 D 的 Transformer 的潜在空间，并应用可学习的加性位置编码 $W_{pos} \in \mathbb{R}^{D \times N}$ 来监控 Patch 的顺序，

则 Transformer 编码器的输入 $x_d^{(i)}$ 为:

$$x_d^{(i)} = W_p x_p^{(i)} + W_{pos} \quad (2.1)$$

在多头注意力机制中, 每个头 $h = 1, \dots, H$ 将输入变换为查询矩阵 $Q_h^{(i)} = (x_d^{(i)})^T W_h^Q$ 、键矩阵 $K_h^{(i)} = (x_d^{(i)})^T W_h^K$ 和值矩阵 $V_h^{(i)} = (x_d^{(i)})^T W_h^V$, 其中 $W_h^Q, W_h^K \in \mathbb{R}^{D \times d_k}$, $W_h^V \in \mathbb{R}^{D \times D}$ 。通过缩放点积注意力获取输出 $O_h^{(i)} \in \mathbb{R}^{D \times N}$, 公式为:

$$\left(O_h^{(i)}\right)^T = \text{Attention}\left(Q_h^{(i)}, K_h^{(i)}, V_h^{(i)}\right) = \text{Softmax}\left(\frac{Q_h^{(i)} K_h^{(i)T}}{\sqrt{d_k}}\right) V_h^{(i)} \quad (2.2)$$

多头注意力模块输出经批归一化和前馈网络处理后, 由展平层和线性头得到预测结果 $\hat{x}^{(i)} = (\hat{x}_{L+1}^{(i)}, \dots, \hat{x}_{L+T}^{(i)}) \in \mathbb{R}^{1 \times T}$ 。

2.4 自编码器模型

自编码器^[50-51]是一种无监督学习的神经网络模型, 其核心目标是将输入数据进行编码, 再从编码表示中重构出原始输入。自编码器的这种结构和学习方式使得它能够学习到数据的内在特征和分布, 从而在数据降维、特征提取、异常检测等领域得到广泛应用。

自编码器由编码器和解码器两部分组成^[52]。编码器负责将输入数据 x 映射到一个低维的潜在空间 z , 这个过程可以看作是对输入数据进行压缩和特征提取。解码器则将潜在空间中的编码表示 z 重构为输出数据 \hat{x} , 其目标是使得重构输出 \hat{x} 尽可能地接近原始输入 x 。

编码器通常由一系列的神经网络层组成, 这些层可以是全连接层、卷积层等。假设输入数据 x 的维度为 n , 编码器的输出 z 的维度为 $m(m < n)$, 则编码器的映射关系可以表示为:

$$z = f_{enc}(x; \theta_{enc}) \quad (2.3)$$

其中 f_{enc} 是编码器的映射函数, θ_{enc} 是编码器的参数。

解码器同样由神经网络层构成, 其作用是将潜在空间中的编码 z 恢复为原始输入的近似 \hat{x} , 解码器的映射关系可以表示为:

$$\hat{x} = f_{dec}(z; \theta_{dec}) \quad (2.4)$$

其中 f_{dec} 是解码器的映射函数, θ_{dec} 是解码器的参数。

整个自编码器的映射关系可以表示为:

$$\hat{x} = f_{dec}(f_{enc}(x; \theta_{enc}); \theta_{dec}) \quad (2.5)$$

自编码器的训练过程是通过最小化重构误差来学习编码器和解码器的参数 θ_{enc} 和 θ_{dec} 。常用的重构误差度量方法是均方误差，其定义为：

$$L(\theta_{enc}, \theta_{dec}) = \frac{1}{N} \sum_{i=1}^N \|x_i - \hat{x}_i\|^2 \quad (2.6)$$

其中 N 是训练数据的样本数量， x_i 是第 i 个输入样本， \hat{x}_i 是对应的重构输出样本。

在训练过程中，使用优化算法来不断调整参数 θ_{enc} 和 θ_{dec} ，使得重构误差 $L(\theta_{enc}, \theta_{dec})$ 最小化。通过这样的训练，自编码器能够学习到数据的主要特征和模式，从而在重构过程中尽可能地保留输入数据的信息。

异常检测是指在数据集中识别出与正常模式不同的异常样本的过程。自编码器在异常检测中的应用基于其能够学习到正常数据的特征和模式这一特性^[53-54]。由于自编码器在训练过程中只使用正常数据进行训练，因此它能够很好地重构正常数据，但对于异常数据，其重构误差会显著增大^[55-56]。基于这一原理，可以利用自编码器的重构误差来进行异常检测。

当自编码器训练完成后，它已经学习到了正常数据的特征和分布。对于一个新的输入样本 x ，将其输入到训练好的自编码器中，得到重构输出 \hat{x} 。计算输入样本 x 与重构输出 \hat{x} 之间的重构误差 $e = \|x - \hat{x}\|$ 。

如果 x 是正常样本，由于自编码器已经学习到了正常数据的模式，因此重构误差 e 会比较小；而如果 x 是异常样本，由于其特征和模式与正常数据不同，自编码器无法很好地对其进行重构，从而导致重构误差 e 会比较大。

在进行异常检测时，通过设置一个合适的阈值 τ ，可以将重构误差 e 与阈值 τ 进行比较：当 $e \leq \tau$ 时，认为样本 x 是正常样本；当 $e > \tau$ 时，认为样本 x 是异常样本。

第3章 基于改进 PatchTST 的测项良率预测模型

针对测项良率突变频繁的难点，本章提出基于改进 PatchTST 的测项良率预测模型，旨在解决现有方法对良率数据突变特性处理不足导致的预测精度受限问题。模型设计基于移动平均的良率分解模块将良率解耦为表征长期模式的趋势项和包含突变的残差项，抑制突变对全局预测的干扰，同时基于多尺度 Patch 划分策略改进 PatchTST，实现局部波动细节捕捉与长期趋势建模，并利用加权融合模块平衡趋势与残差预测结果。

3.1 引言

精准的测项良率预测能够为测试策略优化提供决策依据，通过预测测项的良率，可将高不良概率或可快速测试的测项测试顺序提前，从而在有限的测试时间内提高不良主板的检出率，降低不良产品流入后续生产环节的风险，有效控制整体生产成本。

良率作为典型工业时序数据，充分利用其时序特征可以提升动态生产场景下的预测精度。然而，测项良率数据具有趋势性强、周期性弱且易突变的时序特性，现有预测模型虽然能捕捉趋势特征，但对突变特征的处理能力仍然存在不足，具体表现为：突变点附近的局部特征容易被全局趋势淹没；单一尺度的特征提取难以兼顾不同时间粒度的变化规律。

针对上述问题，本研究提出了基于改进 PatchTST 的测项良率预测模型，通过深入分析测项良率数据，得出其趋势性强、周期性弱且易突变的特点，并依据此特点进行模型设计，利用数据分解与结构优化实现对测项良率的精细化建模。

本章的结构安排如下：3.2 节分析了测项良率数据的特点和预测难点；3.3 节设计了基于改进 PatchTST 的测项良率预测模型，并对该模型进行了详细介绍；3.4 节是实验设计与结果分析，通过对比试验和消融实验，验证了模型的有效性；3.5 节总结了本章的研究内容。

3.2 测项良率数据分析

本节首先对测项良率数据进行深入分析，归纳其特点，然后总结出测项良率预测问题中存在的难点。

3.2.1 测项良率数据的特点

为直观分析测项良率数据特点，展示了使用最大最小值归一化方法处理后的 A 测项良率数据，如图 3.1 所示^①。

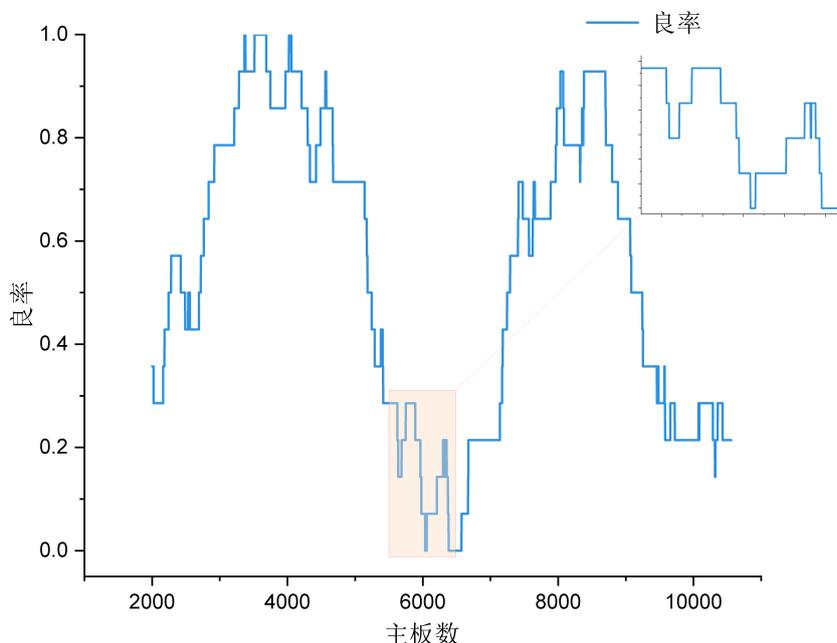


图 3.1 A 测项良率图

从图中可以明显观察到，测项良率数据中存在多个突变点，这主要是由于不良个数相对较少，对整体良率产生显著的影响，这种现象常见于生产过程中。

为了更深入的分析测项良率数据的时序特征，采用时序分析中常用的 STL 分解方法^[57]将测项良率数据分解为趋势成分、季节性成分和残差成分。即

$$\text{Yield} = T_t + S_t + R_t \quad (3.1)$$

其中 Yield 表示测项良率， T_t ， S_t ， R_t 分别表示趋势、季节性和残差成分。

通过比较残差成分的方差和去除季节性成分后的数据的方差，可以对趋势的强度进行量化。如果趋势成分显著，那么去除季节性成分后的数据的方差会明显大于残差成分的方差；而如果趋势成分较弱，这两者的方差应该相似。季节性成分的强度量化原理与之类似。因此，趋势强度 T 和季节性强度 S 量化公式为：

$$T = \max\left(0, 1 - \frac{\text{Var}(R_t)}{\text{Var}(T_t + R_t)}\right) \quad (3.2)$$

$$S = \max\left(0, 1 - \frac{\text{Var}(R_t)}{\text{Var}(S_t + R_t)}\right) \quad (3.3)$$

其中 $\text{Var}(\cdot)$ 表示方差函数。

^①数据可见：<https://pan.baidu.com/s/230uFPDWpBfB4BQ?pwd=hp3h>，也可联系作者获取。

根据上述公式对某型号主板 A, B, C 三个测项的良率数据进行趋势强度和季节性强度计算, 结果如表3.1。

表 3.1 测项良率趋势性强度和季节性强度计算结果

测项	趋势强度	季节性强度
A	0.951	0.064
B	0.866	0.111
C	0.925	0.136

从结果中可以发现, 三个测项的良率数据均具有很强的趋势性, 且季节性成分均较弱, 这通常也意味着周期性较弱。为了进一步探究测项良率的周期性特征, 对其实施快速傅里叶变换, 获取其单边幅度谱图, 如图3.2所示。

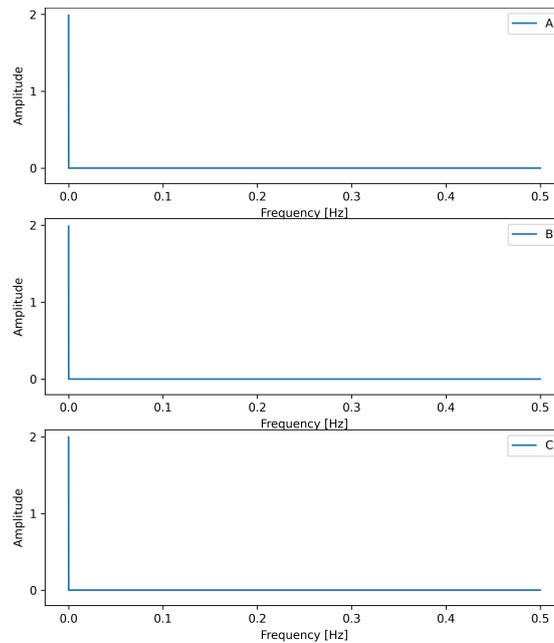


图 3.2 测项快速傅里叶变换单边幅度谱图

从单边幅度谱图中能够清晰地看到, 三个测项在频率接近 0Hz 处均出现了明显的高幅度值, 而在其余频率点上幅度几乎为零。这一结果进一步证实了此前的推测, 即三个测项的数据中, 低频成分占据主导地位, 且非零频率点幅度微弱, 表明这些测项数据的周期性特征不显著。

综上所述, 通过对某型号主板测项良率数据的深入分析, 发现其呈现出趋势性强、周期性弱且易突变的特点。

3.2.2 测项良率预测的难点

良率预测的难点主要源于数据特性与现有模型之间的不匹配。数据特征既影响模型选择，也制约着预测精度。

良率数据突变点的存在增加了建模难度。这些突变点使良率数据构成非平稳时间序列，而传统时序模型如 ARIMA^[58]等，依赖数据平稳性假设。尽管差分处理能够在一定程度上缓解数据的非平稳性，却不可避免地导致关键趋势信息的丢失^[59]。更重要的是，突变点的存在使得数据呈现跳跃式变化，这种时变性特征超出了传统模型的拟合能力，即使基于深度学习的模型也难以有效预测突变点^[60-61]。这种数据特性与模型能力的错位，要求预测方法重点考虑突变点处理和测项良率趋势性的利用。

3.3 测项良率预测模型设计

本小节首先阐述模型的总体结构，然后对模型的主要模块进行详细介绍。

3.3.1 模型总体结构

通过对测项良率数据特点和预测难点的详细分析，本研究设计了基于改进 PatchTST 的测项良率预测模型，其整体结构如图3.3所示。该模型由三个模块组成，分别是基于移动平均的良率分解模块，多尺度 PatchTST 模块以及加权融合模块，共同实现对良率的准确预测。

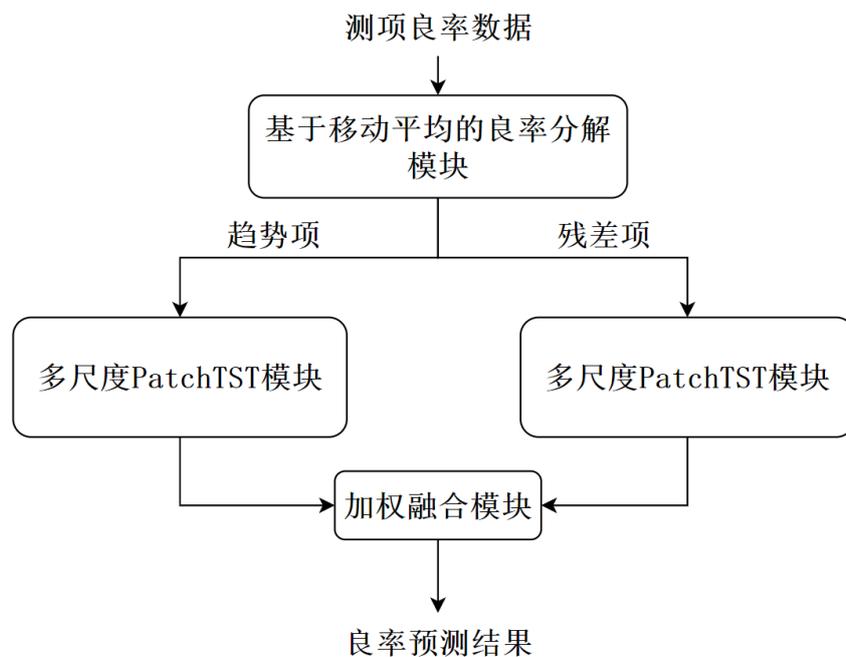


图 3.3 基于改进 PatchTST 的测项良率预测模型总体结构图

3.3.2 基于移动平均的良率分解模块

基于3.2.2的分析可知，良率数据中存在多个突变点，这些突变点的存在不仅增加了数据的复杂性，也给良率预测工作带来了挑战。为了有效攻克这一难点，本研究根据良率数据具有较强趋势性的特点，引入了移动平均方法对良率数据进行处理。

移动平均方法是一种经典的时间序列分析技术^[62]，其核心原理是通过对序列内一定数量的数据点进行平均值计算，从而高效地过滤掉数据中的短期波动，使数据的长期趋势得以清晰地凸显出来。这种平滑处理不仅有助于消除数据中的噪声，还能够使数据的内在规律易于捕捉和分析。通过移动平均方法，能够更好地识别和分离出良率数据中的主要成分，从而为后续的预测模型提供更加可靠和清晰的数据输入。

在时间序列分析中，常见的分解方法是将数据分解为趋势项和周期项，例如 Autoformer^[63]、TDformer^[57]就是这种思路。然而，根据对测项良率数据的深入分析，发现良率数据的周期性特征较弱，因此本研究选择将良率数据分解为表征长期模式的趋势项和包含突变的残差项，即：

$$\text{Yield} = T_t + R_t \quad (3.4)$$

其中 T_t 表示趋势项， R_t 表示残差项。具体的分解公式如下：

$$T_t = \frac{1}{N} \sum_{i=0}^{N-1} \text{Yield}_{t-i} \quad (3.5)$$

$$R_t = \text{Yield} - T_t \quad (3.6)$$

其中窗口大小为 N ，包含当前点 t 及之前 $N - 1$ 个历史点。

尽管这种分解方式看起来只是将分解后的成分换了个名称，但实际上这与将时序数据分解为趋势项和周期项是存在差异的，这种差异意味着本研究不会选择使用那些擅长提取周期性特征的时序模型来进行良率预测。相反，本研究将更注重模型对趋势项的建模能力，因为趋势项在良率数据中占据了主导地位，避免了因关注较弱的周期性特征而导致的预测精度受限。通过这种分解方式，能够更精准地捕捉良率数据的主要成分，从而针对性的设计预测模型，提高良率预测的准确性和可靠性。

3.3.3 多尺度 PatchTST 模块

在预测模块设计中，本研究基于多尺度 Patch 划分策略，提出了多尺度 PatchTST 模块，具体结构如图3.4所示。

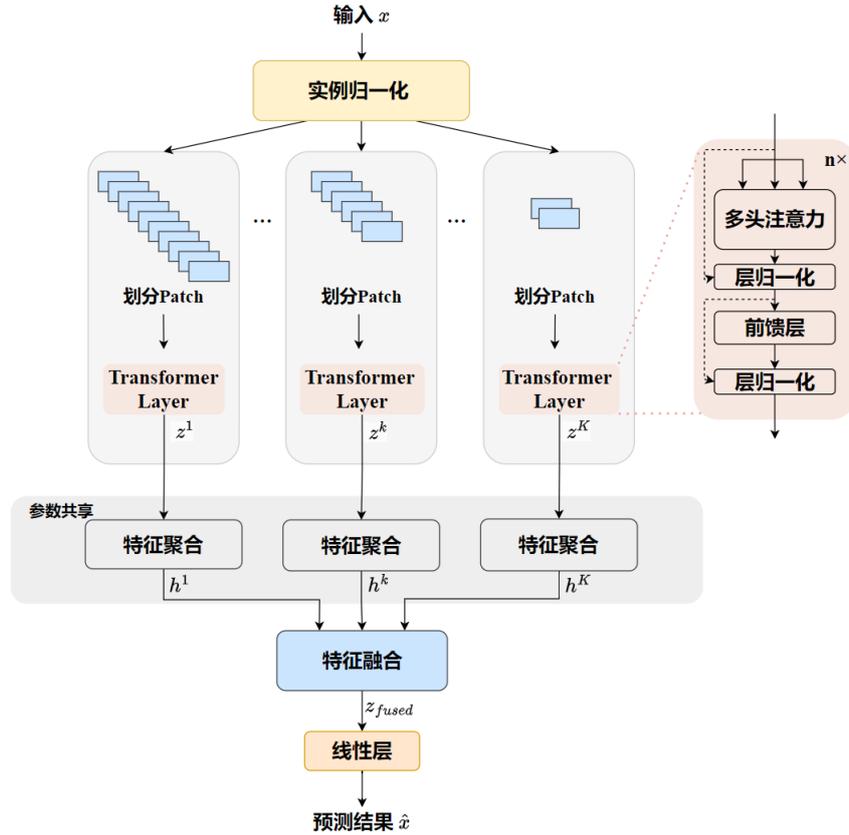


图 3.4 多尺度 PatchTST 模块

多尺度 PatchTST 在传统的单尺度 Patch 分割基础上进行了优化，引入了多个不同尺度的 Patch 划分思想，设计了多个分支，旨在从多个维度全面挖掘测项良率数据中的潜在信息。不同尺度的 Patch 具有各自独特的优势和适用场景。较小尺度的 Patch 能够精准地捕捉细微的波动变化，为模型提供丰富的细节信息，使模型能够建模短期时间特征，从而提高预测的及时性和准确性。而较大尺度的 Patch 则着眼于数据的长期趋势，能够从更长的时间维度上对测项良率数据进行分析，把握测项良率在较长时间内的变化规律。然后使用基于动态加权机制的多分支特征融合，充分利用多分支所提取的特征信息，最终实现准确预测。

为缓解训练和测试数据之间的分布偏移效应，使用实例归一化技术^[64-65]。它将每个时间序列 $x^{(i)}$ 标准化为零均值和单位标准差。实际应用时，在划分 Patch 前，对每个 $x^{(i)}$ 进行标准化，并在输出预测中再加回均值和偏差。

3.3.3.1 划分 Patch

在处理时间序列数据时，如何有效地划分 Patch 是一个关键问题。已有研究表明^[66]，若 Patch 之间存在过多的重叠，可能导致每个 Patch 的表示被平滑，从而无法准确捕捉到正确的时间依赖性。为了避免这种情况，将输入的测项良率序列 $x \in R^{1 \times L}$ 划分为互不重叠的 Patch。具体来说，设第 k 个分支的 Patch 长度为

$P^{(k)}$, 那么该过程将生成多个 Patch 序列 $x_p \in R^{P^{(k)} \times N^{(k)}}$, 其中 $N^{(k)}$ 是 Patch 的数量, 计算公式为 $N^{(k)} = \left\lceil \frac{L}{P^{(k)}} \right\rceil$ 。如果 L 不能被 $P^{(k)}$ 整除, 为确保每个 Patch 的长度一致, 将在序列末尾使用最后一个值进行填充处理。

此时, 较小的 $P^{(i)}$ 值允许第 i 个分支专注于较短的时间段, 从而能够有效建模短期时间特征, 捕捉数据中的快速变化和局部波动。而较大的 $P^{(j)}$ 值则允许第 j 个分支专注于较长的时间段, 有助于学习到良率的长期趋势, 从而更好地理解数据的整体变化规律。通过这种多尺度的 Patch 划分, 模型能够同时兼顾短期和长期特征, 为后续的特征提取和建模提供更丰富的信息。

3.3.3.2 Transformer 编码器

本研究使用 Transformer 的编码器结构进行特征提取。接下来将以第 k 个分支为例进行介绍。首先, 通过可训练的线性投影 $W_p \in R^{D \times P^{(k)}}$, 将 Patch 映射到维度为 D 的 Transformer 潜在空间, 并应用一个可学习的加性位置编码 $W_{pos} \in R^{D \times N^{(k)}}$ 来监督 Patch 的时间顺序, 即

$$x_d = W_p x_p + W_{pos} \quad (3.7)$$

其中 x_d 将被输入至 Transformer 编码器。

然后, 多头注意力机制中的每个头 $h = 1, 2, \dots, H$ 将输入分别转化为查询矩阵 Q_h 、键矩阵 K_h 和值矩阵 V_h :

$$Q_h = (x_d)^T W_h^Q \quad (3.8)$$

$$K_h = (x_d)^T W_h^K \quad (3.9)$$

$$V_h = (x_d)^T W_h^V \quad (3.10)$$

其中 $W_h^Q, W_h^K \in R^{D \times d_k}$, $W_h^V \in R^{D \times D}$ 。

则注意力输出 $O_h \in R^{D \times N^{(k)}}$ 为:

$$(O_h)^T = \text{Attention}(Q_h, K_h, V_h) = \text{Softmax} \left(\frac{Q_h K_h^T}{\sqrt{d_k}} \right) V_h \quad (3.11)$$

如图3.4所示, 编码器还包括层归一化和具有残差连接的前馈网络, 其最终输出记为 $z^{(k)} \in R^{D \times N^{(k)}}$ 。

3.3.3.3 基于动态加权机制的多分支特征融合

为充分利用多分支结构提取的特征信息, 本研究提出基于动态加权机制的多分支特征融合策略, 通过动态权重分配实现多分支特征的融合。分支内特征聚合模块负责动态地为分支内的特征分配权重, 分支间特征融合综合考虑各分支, 进行特征融合。

(1) 分支内特征聚合

采用动态加权机制为分支内的特征生成重要性系数，在分支内部进行分支特征的聚合，以捕捉分支内的重要特征。

仍以第 k 个分支为例，特征重要性得分计算如下：

$$s_i^{(k)} = (z_i^{(k)})^T W_{intra}, \quad i = 1, 2, \dots, N^{(k)} \quad (3.12)$$

其中 $(z_i^{(k)})^T$ 代表第 k 个分支的第 i 个特征向量的转置， $s_i^{(k)}$ 是其对应的特征重要性得分， $W_{intra} \in R^{D \times 1}$ 是共享线性层。

在分支内特征聚合模块中，所有分支共享同一线性变换矩阵 W_{intra} ，这一设计显著减少了模型参数量，从独立分支参数设计下的 $K \times D$ 减少至 D ，同时避免了分支数量增加导致的过拟合风险。尽管参数共享可能削弱分支特异性建模能力，但动态融合系数 $\alpha_i^{(k)}$ 仍能自适应地区分不同分支内特征的重要性差异，动态融合系数计算如下：

$$\alpha_i^{(k)} = \frac{\exp(s_i^{(k)})}{\sum_{j=1}^{N^{(k)}} \exp(s_j^{(k)})}, \quad i = 1, 2, \dots, N^{(k)} \quad (3.13)$$

经过 Softmax 函数处理后， $\alpha_i^{(k)}$ 为第 k 个分支中第 i 个特征向量的动态融合系数。这些系数能够反映每个特征向量在分支内的相对重要程度，系数越大，表明该特征向量在分支内特征聚合过程中应被赋予更高的关注度。

将每个特征向量与其对应的动态融合系数进行相乘，并对所有乘积结果进行求和，从而得到分支内聚合特征 $h^{(k)}$ ：

$$h^{(k)} = \sum_{i=1}^{N^{(k)}} \alpha_i^{(k)} z_i^{(k)} \quad (3.14)$$

通过这一加权聚合过程，每个分支的特征被有效地聚合为一个 D 维的向量 $h^{(k)}$ 。在这个向量中，融合了分支内各特征向量的信息，并且重要性高的特征向量对结果的贡献更大，从而实现了分支内关键特征的有效提取和整合。

(2) 分支间特征融合

在获取每个分支的聚合特征 $h^{(k)}$ 之后，需要进一步在分支之间进行特征融合。为了实现这一目标，同样使用动态加权机制，动态地为每个分支分配融合系数。

分支特征重要性得分计算如下：

$$t^{(k)} = h^{(k)} W_{inter}, \quad k = 1, 2, \dots, K \quad (3.15)$$

其中 $t^{(k)}$ 为第 k 个分支聚合特征的重要性得分， $W_{inter} \in R^{D \times 1}$ 。

分支动态融合系数计算如下：

$$\beta^{(k)} = \frac{\exp(t^{(k)})}{\sum_{i=1}^K \exp(t^{(i)})}, \quad k = 1, 2, \dots, K \quad (3.16)$$

其中 $\beta^{(k)}$ 为第 k 个分支的动态融合系数。

将每个分支的聚合特征与其对应的分支动态融合系数相乘，并对所有乘积结果进行求和，从而得到融合后的特征 z_{fused} ：

$$z_{fused} = \sum_{k=1}^K \beta^{(k)} h^{(k)} \quad (3.17)$$

其中 $z_{fused} \in R^D$ 。

通过这一加权融合操作，不同分支的聚合特征依据各自的重要性被融合在一起，形成了最终的融合特征，动态的融合系数有效的抑制了次要分支的干扰，实现多尺度特征的融合。

(3) 输出层

输出层采用线性投影将融合后的特征 z_{fused} 映射为预测结果 \hat{x} ：

$$\hat{x} = W_p \cdot z_{fused} + b_p \quad (3.18)$$

其中 $W_p \in R^{T \times D}$ 和 $b_p \in R^T$ 为线性层参数。

3.3.4 加权融合模块

加权融合模块旨在融合趋势项和残差项，得出准确的预测结果，其融合公式如下所示：

$$Y_p = \alpha \cdot \hat{x}_T + \beta \cdot \hat{x}_R \quad (3.19)$$

其中 Y_p 指的是预测的良率， \hat{x}_T 指的是趋势项预测结果， \hat{x}_R 指的是残差项预测结果， α 、 β 均为超参数。

总体而言，本节提出的基于改进 PatchTST 的测项良率预测模型，通过三阶段架构实现精准预测。首先，引入移动平均分解策略，将良率数据解耦为趋势项与残差项，有效分离长期模式与突变特征。其次，设计多尺度 PatchTST 模块，通过并行多分支结构实现不同时间粒度的特征捕获：小尺度 Patch 聚焦局部细节，大尺度 Patch 建模长期趋势，并引入双层级动态加权机制（分支内特征聚合与分支间特征融合），在降低参数量的同时实现自适应特征权重分配。最后，通过加权融合模块整合趋势项与残差项的预测结果，采用可解释性超参数平衡各成分贡献。结合分解模块与多尺度特征提取，提升了预测模型对良率数据突变特征和趋势特征的联合建模能力，进而提升预测的准确性与可靠性。

3.4 实验设计与结果分析

本节首先介绍数据集，包括数据收集与预处理；接着介绍实验环境与评价指标；然后是实验设置；最后是实验结果与分析，分别对对比试验和消融实验进行了结果展示和分析。

3.4.1 数据集

3.4.1.1 数据收集

本研究数据来源于 L 厂的功能测试机台，该设备能够全面检测主板测项功能，并自动记录各测项的测试数据，主要记录内容如表3.2所示，其中测试结果为 1 代表主板功能不良，为 0 代表功能良好，测试用时单位为秒。测试细节中包含的内容如表3.3所示，每个测项有相应的测试用时和测试结果，测试结果为 0 表示该测项功能良好，为 1 代表功能不良。需要特别说明的是，任一测项出现不良即判定主板功能不良。

表 3.2 主板功能测试结果示例

主板序列号	主板型号	测试结果	测试细节	总测试用时（秒）	测试开始时间
100001	M ₁	1	*	220	2025/1/1 0:00:00
⋮	⋮	⋮	⋮	⋮	⋮
101000	M ₁₀	0	*	200	2025/1/1 23:00:00

表 3.3 测试细节内容示例

测项名称	该测项测试结果	测试用时（秒）
Test _A	0	10.0
Test _B	1	11.0
⋮	⋮	⋮
Test _X	0	12.0

3.4.1.2 数据预处理

从收集的功能测试结果中筛选出所需型号主板的全部数据，然后根据测试细节，筛选出进行选测项测试的主板，并且将每个主板的各个选测项进行逐一拆分，处理后的数据按照时间顺序排序，如表3.4所示。

筛选后，记主板型号为 M，M 型号主板选测项为 19 个，共有一万多块进行选测项测试。针对数据中的重复记录，采用基于主板序列号和测试开始时间组合的去重方案，确保每条数据的唯一性。对于测试结果中的缺失值，由于缺失数据

表 3.4 筛选和拆分后数据示例

主板序列号	主板测试结果	Test _E	Test _F	...	Test _X	测试开始时间
100001	1	0	1	...	0	2025/1/1 0:00:00
⋮	⋮	⋮	⋮	⋮	⋮	⋮
100100	0	0	0	...	0	2025/1/1 20:00:00

占比极低，且缺失测项无法还原真实良率，故直接剔除存在缺失值的整条主板数据。在所有经过处理后的数据中，有 15 个选测项功能全部良好，未出现功能不良的情况。在剩余的 4 个选测项中，有 1 个选测项仅记录了 2 次功能不良事件，而另外 3 个选测项则多次出现功能不良。鉴于仅出现 2 次功能不良的选测项样本量过少，难以进行有效的良率预测，因此本研究仅对多次出现功能不良的 3 个选测项进行良率预测。这 3 个选测项分别记为 T_1, T_2, T_3 。为了从功能测试结果计算出 M 型号主板这三个选测项的良率，设定窗口长度为 2000，滑动步长为 1，滑动窗口内最后一块主板的测项 X 良率计算公式如下：

$$Y_{\text{Test}_X} = \frac{R_{\text{nor}}}{R_{\text{total}}} \quad (3.20)$$

其中 R_{total} 指的是滑动窗口内的主板总数， R_{nor} 指的是窗口内测项 X 测试通过的主板数。

计算后每个测项的良率数据均为 8536 条，对于所有测项均按时间顺序以 7:1:2 的比例划分为训练集、验证集和测试集^①。

3.4.2 实验环境与评价指标

3.4.2.1 实验环境与参数设置

本文实验软硬件的关键配置参数如表3.5所示。

表 3.5 实验环境配置参数

类型	型号	参数
操作系统	Ubuntu	20.04
GPU	NVIDIA Geforce RTX3090	24GB
Python	-	3.8.0
CUDA	-	11.6
Pytorch	-	1.11.0

在实验参数设置方面，学习率采用动态调整策略，其初始值设置为 0.0001，

^①测项良率数据可见：<https://pan.baidu.com/s/230uFPDWpBfB4BQ?pwd=hp3h>，也可联系作者获取。

每完成一轮训练，学习率就会乘以 0.5，依据训练轮次对学习率进行动态优化。考虑到过拟合问题，采用 EarlyStopping 机制，设置超参数“patience”为 10，当模型在验证集上的性能连续 10 个轮次未出现提升时，训练过程将被提前终止。模型其余核心超参数如表 3.6 所示。

表 3.6 基于改进 PatchTST 的测项良率预测模型核心超参数

超参数	取值
Patch 分支数量	3
各分支 Patch 长度	8, 16, 20
Transformer 编码器层数	2
多头注意力头数	8
训练数据的批次大小	32

在模型训练过程中，采用均方误差（Mean Squared Error, MSE）作为损失函数 \mathcal{L} ，其数学表达式为：

$$\mathcal{L} = \frac{1}{n} \sum_{i=1}^n (y_i - \hat{y}_i)^2 \quad (3.21)$$

其中 y_i 为真实良率值， \hat{y}_i 为模型预测值， n 为批量样本数。

3.4.2.2 评价指标

在良率预测研究中，准确评估预测模型的性能至关重要。本章采用平均绝对误差（Mean Absolute Error, MAE）、均方根误差（Root Mean Square Error, RMSE）和决定系数（Coefficient of Determination, R^2 ）作为评价指标，从绝对误差、平方误差和模型拟合度三个维度衡量测项良率预测的准确性。

(1) 平均绝对误差

平均绝对误差是预测误差绝对值的平均值，计算公式为：

$$\text{MAE} = \frac{1}{n} \sum_{i=1}^n |y_i - \hat{y}_i| \quad (3.22)$$

其中 n 表示样本数量， y_i 为实际良率值， \hat{y}_i 为预测良率值。

平均绝对误差能够直观地反映预测值与实际值之间的平均偏差程度，其值越小，表示预测结果与实际值的接近程度越高，预测精度越好。其优点在于对所有误差一视同仁，不会因个别极端误差而过度放大整体误差水平，能够较为稳定地反映模型在整体样本上的预测偏差情况。

(2) 均方根误差

均方根误差是预测误差平方的平均值的平方根，计算公式为：

$$\text{RMSE} = \sqrt{\frac{1}{n} \sum_{i=1}^n (y_i - \hat{y}_i)^2} \quad (3.23)$$

均方根误差不仅考虑了误差的大小，还对误差进行了平方处理，使得较大的误差在计算过程中会被进一步放大。因此，均方根误差对模型预测中的误差更为敏感，与平均绝对误差相比，均方根误差的值通常会更大，因为它对误差的惩罚更为严厉。均方根误差的值越小，说明模型的预测精度越高，预测结果与实际值之间的差异越小。

(3) 决定系数

决定系数是衡量模型拟合优度的重要指标，用于量化模型对数据波动的解释能力，计算公式为：

$$R^2 = 1 - \frac{\sum_{i=1}^n (y_i - \hat{y}_i)^2}{\sum_{i=1}^n (y_i - \bar{y})^2} \quad (3.24)$$

其中 \bar{y} 为实际良率的平均值， $\sum_{i=1}^n (y_i - \hat{y}_i)^2$ 表示预测误差平方和， $\sum_{i=1}^n (y_i - \bar{y})^2$ 表示实际值与均值的误差平方和。 R^2 值越接近 1，表明模型对数据的拟合效果越好，预测值与实际值的一致性越高；若接近 0，则说明模型的预测效果与直接使用样本均值进行预测的效果相近，未能有效捕捉数据特征。

(4) 突变点的 MAE 和 RMSE

针对良率数据中存在的突变点，本研究通过检测突变点并单独计算该部分的 MAE 和 RMSE，以评估模型在极端波动场景下的预测能力。对于突变点的检测，采用基于一阶差分阈值法，具体来说：计算时间序列相邻时间步的差值绝对值，得到序列差值的中位数，将差值超过 2 倍中位数的时间步标记为突变点。提取突变点位置的实际值与预测值后，计算对应的 MAE 和 RMSE，以量化模型对突变点的预测精度。

在本研究中，通过综合计算上述指标，能够从多元维度全面评估测项良率预测模型的性能：常规 MAE 和 RMSE 提供模型在整体样本上的平均预测偏差； R^2 反映模型对数据拟合的整体优度；基于突变点的 MAE 和 RMSE 则聚焦模型在突变点的预测能力，弥补常规指标对极端值评估的不足。结合使用这些指标，可更准确地判断预测模型是否能够满足实际生产中对测项良率预测精度的要求。

3.4.3 实验设置

本小节介绍对比试验设置和消融实验设置。对于基于移动平均的良率分解模块，将移动平均窗口 N 设置为 25，用于将良率分解为趋势项和残差项。同时需说明的是，本研究聚焦于选测项测试策略的优化工作。因此，在整个实验过程中，所预测的良率均为选测项良率。

3.4.3.1 对比实验设置

本章重点在于良率的预测，对设计的基于改进 PatchTST 的测项良率预测模型开展对比实验，将设计的模型记为 D-MSP YP。同时，考虑到良率预测值是通过趋势项和残差项的预测值进行加权融合而得到的，专门为负责这两项预测的多尺度 PatchTST 模块也进行对比实验，将设计的模块记为 MS-PatchTST。实验目的如下：其一，检验 D-MSP YP 模型对良率的预测精度，评估其能否准确预测良率；其二，评估核心模块 MS-PatchTST 在趋势项和残差项预测方面的表现。

需要注意的是， R^2 、突变点 MAE 和 RMSE 这三项指标仅应用于良率预测，这是因为 R^2 的作用在于衡量模型对良率整体变化的解释能力，适用于评估模型对良率整体波动的拟合效果。趋势项和残差项作为良率的分解成分，属于中间变量，其预测精度已可通过常规误差指标进行有效评估，无需额外使用 R^2 。此外，突变点 MAE 和 RMSE 重点在于检测模型在良率突变场景下的预测能力，并不适用于趋势项和残差项的预测目标。

由于利用测项良率的时序特性进行预测，为了进行有效对比，本研究考虑了当前一系列先进的时序预测模型，涵盖了划分 Patch 的模型，基于 Transformer 架构和非 Transformer 架构的各类代表模型，具体如下所示：

- PatchTST^[49]: 将时间序列划分为多个 Patch，采用通道独立的设计，结合 Transformer 编码器进行序列预测。
- MTST^[67]: 由多分支架构组成，每个分支的 Patch 大小不一致，用于同时学习时间序列在不同尺度的表示，并采用相对位置编码提取周期性。
- Autoformer^[63]: 基于 Transformer 架构的经典时序预测模型，通过序列分解和自相关机制替代传统注意力，增强模型对周期性模式的捕捉。
- Informer^[68]: 基于 Transformer 架构的经典时序预测模型，针对 Transformer 的二次计算复杂度问题，提出概率稀疏注意力机制和蒸馏操作，实现高效长序列预测。
- DLinear^[69]: 线性模型，基于线性模型与序列分解，其证明简单结构在短期预测中可超越复杂 Transformer。
- TSMixer^[70]: 基于 MLP 架构，基于时间和特征两个维度的混合操作来高效地提取信息。

在实验设置中，考虑到各模型对输入数据长度的需求不同，本文合理配置了各模型的回溯窗口长度 L 。具体而言，在进行趋势项预测时，MS-PatchTST 的回溯窗口长度设置为 336，旨在利用更长的输入序列提供更丰富的信息，从而提升预测性能。但是在预测残差项时，由于残差项局部波动情况多，过长的回溯窗口反而会使得模型被冗余信息的干扰，因此预测残差项的回溯窗口 L 设置为 96。

PatchTST 和 MTST 的回溯窗口长度与 MS-PatchTST 保持一致。DLinear 的回溯窗口长度设置为 336，这是该模型的常见配置，作为同为线性模型的 TSMixer，回溯窗口长度与 DLinear 保持一致。对于基于 Transformer 架构的模型，采用了默认的回溯窗口长度 $L=96$ 。在所有对比实验中，各模型均被要求预测未来 48 步的良率值。

3.4.3.2 消融实验设置

设计消融实验旨在验证模块效果。首先，去除移动平均分解模块，直接使用 MS-PatchTST 对良率进行预测，以此探究移动平均分解模块在整体模型中的必要性及其对预测效果的影响。然后，将 D-MSP YP 中的核心模块 MS-PatchTST 分别替换为 PatchTST 和 MTST，其他模块不变，形成新模型 D-PatchTST YP 和 D-MTST YP，通过这样的替换操作，分析 MS-PatchTST 相较于其他同类模块的优势，以及其在提升模型性能方面的作用。

3.4.4 模型训练过程可视化

如图 3.5 所示，训练过程中，三个测项的趋势项与残差项的损失值均随训练轮次持续下降，表明模型在实例归一化后的特征空间中实现了有效收敛。可以观察到， T_3 在训练初期的损失值最高，反映其特征更为复杂，例如良率波动较大。然而，随着训练的推进，其损失逐渐接近于 T_1 和 T_2 ，说明模型具备良好的泛化能力，能够适应不同测项的特征差异。还可观察到各测项训练轮次存在差异，这是因为采用了 EarlyStopping 机制，当验证集性能不再提升时，训练过程提前终止。此外，训练损失基于归一化后的数据进行计算，主要用于监控训练过程，而最终的评价指标则基于反归一化后的真实数据进行计算，以评估模型性能在实际场景中的性能。

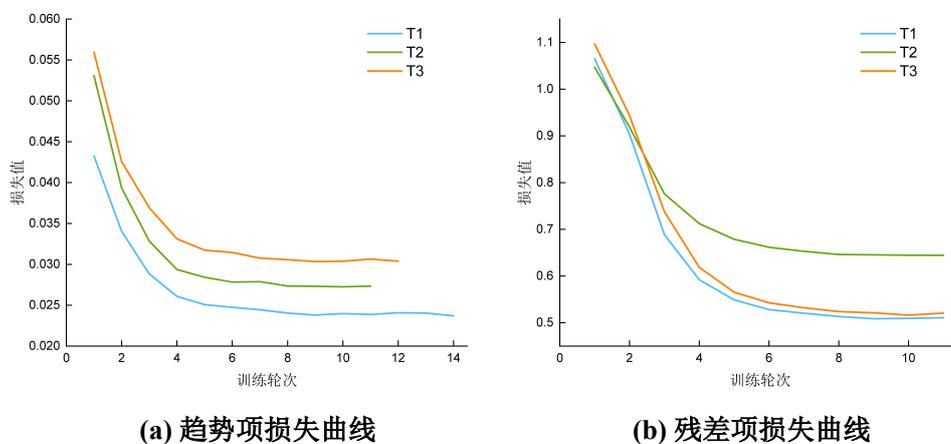


图 3.5 MS-PatchTST 训练损失曲线

3.4.5 实验结果分析

在本小节中，依次进行对比实验与消融实验的结果展示与分析。为增强可视化效果，本文对各测项的趋势项与良率预测结果进行了最大最小值归一化处理，以突出模型在不同测项下的预测表现。残差项数值通常较小且集中在零附近，若进行归一化，反而会掩盖实际大小，因此，残差项采用原始比例展示。由于篇幅限制，选取部分具有代表性的预测结果进行展示。

3.4.5.1 对比实验

由于良率的预测值是通过趋势项和残差项的预测值加权融合得到的，因此先展示趋势项与残差项各自的预测效果，然后再展示最终的良率预测效果。

(1) 趋势项对比实验

针对测项 T_1, T_2, T_3 经过良率分解模块得到的趋势项，所有模型的预测结果见表 3.7。部分预测结果的可视化展示见图 3.6。其中，图左列展示了回溯窗口长度 $L=336$ 的模型预测结果，而右列对应回溯窗口长度 $L=96$ 的模型预测结果。

表 3.7 趋势项对比实验结果

模型	指标	T_1	T_2	T_3
MS-PatchTST	MAE	0.000160	0.000130	0.000212
	RMSE	0.000245	0.000189	0.000309
PatchTST	MAE	0.000191	0.000137	0.000233
	RMSE	<u>0.000264</u>	0.000203	<u>0.000320</u>
MTST	MAE	<u>0.000185</u>	<u>0.000128</u>	<u>0.000228</u>
	RMSE	0.000281	0.000193	<u>0.000320</u>
Dlinear	MAE	0.000217	0.000149	0.000249
	RMSE	0.000306	0.000211	0.000333
TSMixer	MAE	0.000201	0.000126	0.000284
	RMSE	0.000291	<u>0.000190</u>	0.000359
Autoformer	MAE	0.000722	0.000314	0.000621
	RMSE	0.000895	0.000428	0.000775
Informer	MAE	0.000253	0.000165	0.000441
	RMSE	0.000337	0.000218	0.000556

如表 3.7 所示，在趋势项对比实验中，MS-PatchTST 模型相较于对比模型表现出明显的性能提升。

与 PatchTST 相比，MS-PatchTST 在 T_1, T_2 和 T_3 趋势项预测中，MAE 分别降低了 16.23%、5.11% 和 9.01%；在 RMSE 上分别降低了 7.20%、6.90% 和 3.44%。

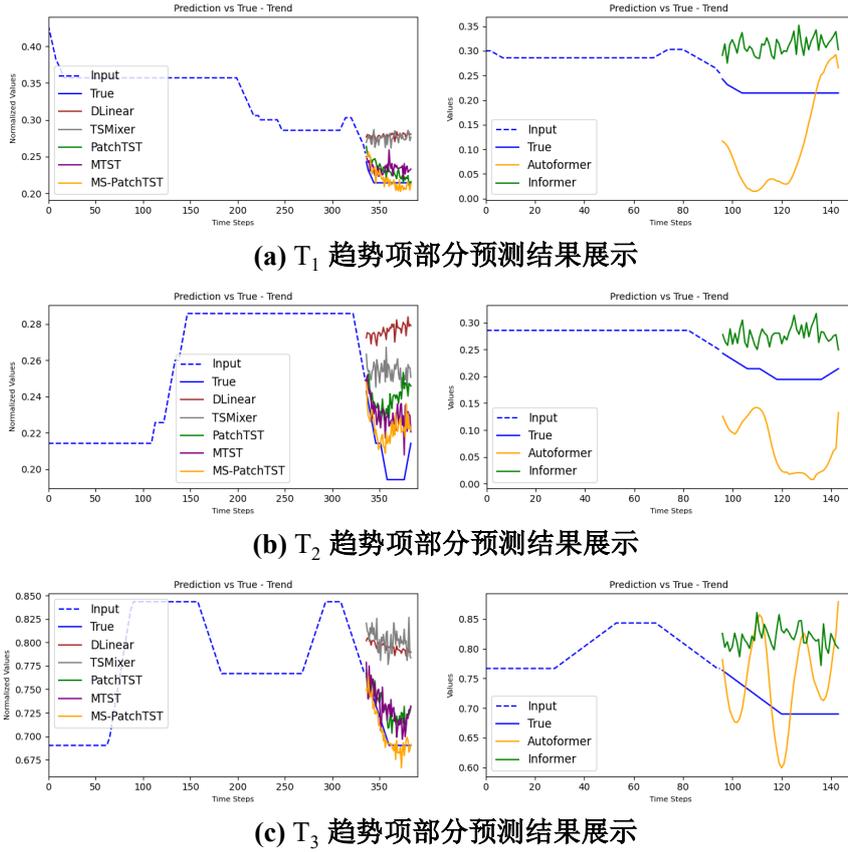


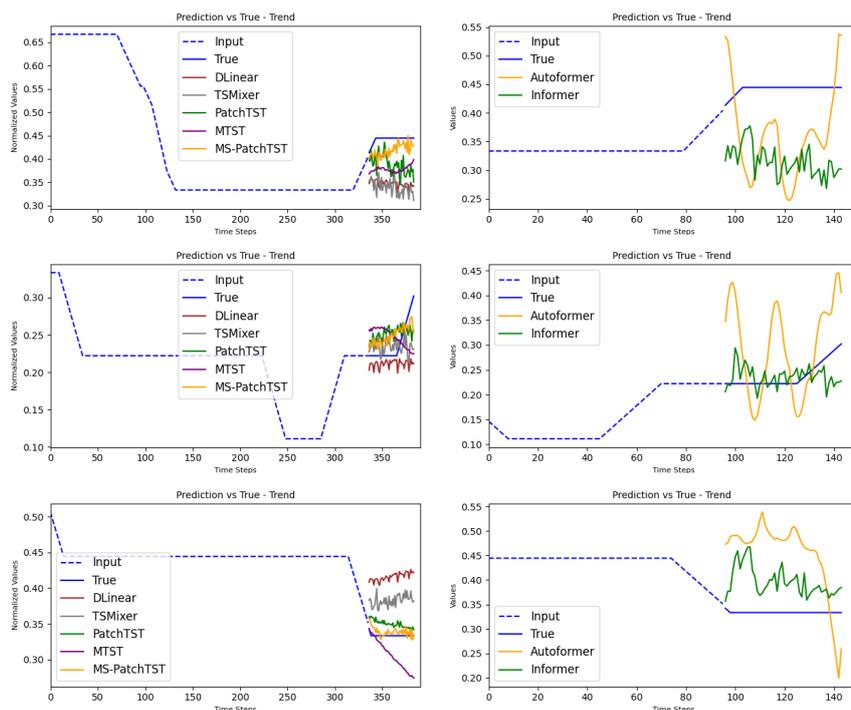
图 3.6 T_1 、 T_2 、 T_3 趋势项部分预测结果展示

这表明，MS-PatchTST 在预测精度上相较于 PatchTST 有明显的提升，验证了多尺度 Patch 划分策略的有效性。

与 MTST 相比，MS-PatchTST 在 T_1 和 T_3 的 MAE 上降低了 13.51% 和 7.02%，在 RMSE 上降低了 12.81% 和 3.44%。在 T_2 的 MAE 上略高，但在 RMSE 上降低了 2.07%。整体而言，MS-PatchTST 在大多数情况下优于 MTST。尽管 MTST 同样运用了多尺度划分 Patch 的策略，但由于其对多分支特征的融合方式较为简单，仅使用展平、连接和线性变换，且采用相对位置编码来提取周期性，致使在周期性较弱的测项良率预测任务中，MTST 的表现逊色于 MS-PatchTST。

尽管 DLinear 和 TSMixer 的指标看似较低，但是观察预测结果图 3.6 可以发现，这两种模型几乎没能预测出趋势项的变化情况。同时尽管在 T_2 趋势项的预测中 TSMixer 的指标均优于 MS-PatchTST，但这主要是由于 T_2 的不良数量较少，导致良率波动较小且持平情况较多。在这种情况下，模型只需将预测结果取为输入的最后一个值，即可获得较低的指标值。TSMixer 更倾向于预测这种持平情况，因此其指标较低。然而，这种预测方式无法准确反映趋势项的实际变化情况。图 3.7 明确展示出了这一现象。

Informer 预测效果不佳，可能是因为其稀疏注意力机制难以精准捕捉局部趋势变化，致使对趋势项的预测出现偏差。Autoformer 在趋势项预测中表现欠佳，

图 3.7 T_2 趋势项部分预测结果展示

主要是因为其核心的自相关机制过度依赖周期性模式挖掘，而趋势项缺乏周期性，使得 Autoformer 难以适应此类数据特性，导致性能垫底。

从综合性能来看，MS-PatchTST 性能最优。从图3.6和图3.7中可以观察到，MS-PatchTST 能较为精准的跟踪趋势项的拐点变化，这是由于 MS-PatchTST 引入了多尺度 Patch 策略，能够从不同尺度上对趋势项进行特征提取。这种多尺度建模方式使得模型能够同时捕捉到全局趋势和局部细节特征，从而在趋势预测中表现出色。

(2) 残差项对比实验

针对测项 T_1, T_2, T_3 经过良率分解模块得到的残差项，所有模型的预测结果见表 3.8。部分预测结果的可视化展示见图3.8。其中，图左列展示了回溯窗口长度 $L=96$ 的模型预测效果，右列展示了回溯窗口长度 $L=336$ 的模型预测效果。

如表 3.8 所示，在残差项对比实验中，MS-PatchTST 在三个测项中均实现了最优的性能。从图 3.8 中可以看出，MS-PatchTST 对残差项的波动预测更为准确，能够较好地捕捉到残差的细微变化。这得益于其多尺度 Patch 机制，该机制使模型在处理残差项时，能从不同尺度挖掘数据特征，进而在复杂的残差预测中表现突出。

综合各项指标和可视化结果，在残差项预测任务中，MS-PatchTST 在众多对比模型中展现出了更优的性能，更适合用于对测项 T_1, T_2, T_3 残差项的预测。

(3) 整体良率对比实验

所有模型的良率预测结果见表 3.9。部分预测结果的可视化展示见图3.9。其

表 3.8 残余项对比实验结果

模型	指标	T ₁	T ₂	T ₃
MS-PatchTST	MAE	0.000072	0.000040	0.000103
	RMSE	0.000144	0.000100	0.000176
PatchTST	MAE	0.000083	0.000041	0.000106
	RMSE	0.000151	0.000101	0.000178
MTST	MAE	0.000073	0.000048	0.000113
	RMSE	0.000145	0.000104	0.000180
Dlinear	MAE	0.000077	0.000048	0.000107
	RMSE	0.000146	0.000105	0.000176
TSMixer	MAE	0.000094	0.000051	0.000112
	RMSE	0.000154	0.000107	0.000179
Autoformer	MAE	0.000092	0.000060	0.000125
	RMSE	0.000151	0.000110	0.000188
Informer	MAE	0.000095	0.000050	0.000109
	RMSE	0.000157	0.000105	0.000181

中，左列展示了输入窗口长度 $L=336$ 的模型预测结果，而右列对应输入窗口长度 $L=96$ 的预测结果。

虽然 Dlinear 和 TSMixer 这两个线性模型在指标上均低于 D-MSP YP，但正如前文所述，其预测策略存在局限性。由于良率波动小且持平情况较多，它们倾向将多步预测结果均预测为与最后一个输入值接近的值。但是这种策略虽然降低了指标，却无法有效捕捉良率的真实变化趋势。从图 3.9 中可以看到，在良率出现明显波动时，Dlinear 和 TSMixer 的预测曲线几乎保持水平，这对良率预测是无效的，同时结合对良率主要成分趋势项的预测结果图 3.6 和图 3.7 来看，其预测曲线也几乎保持水平，也未能预测出趋势项的波动情况，因此其预测值无效，故不在表 3.9 中列出这两个模型的结果。

与 PatchTST 相比，D-MSP YP 在 T_1 , T_2 和 T_3 良率预测中，MAE 分别降低了 8.30%、8.24% 和 6.84%；与 MTST 相比，MS-PatchTST 的 MAE 分别降低了 9.52%、5.13% 和 10.63%。

在 RMSE 指标上，D-MSP YP 在预测 T_1 良率时，指标高于 PatchTST，在预测 T_3 良率时，指标高于 MTST，这是因为 RMSE 对预测值与真实值之间的偏差平方和更为敏感，D-MSP YP 在追求对整体趋势和大部分数据点精准拟合的过程中，可能在个别数据点上产生了较大偏差。但从 MAE 的明显优势以及整体的预测曲线来看，D-MSP YP 对大多数数据点的预测更精准，且对良率数据的变化趋

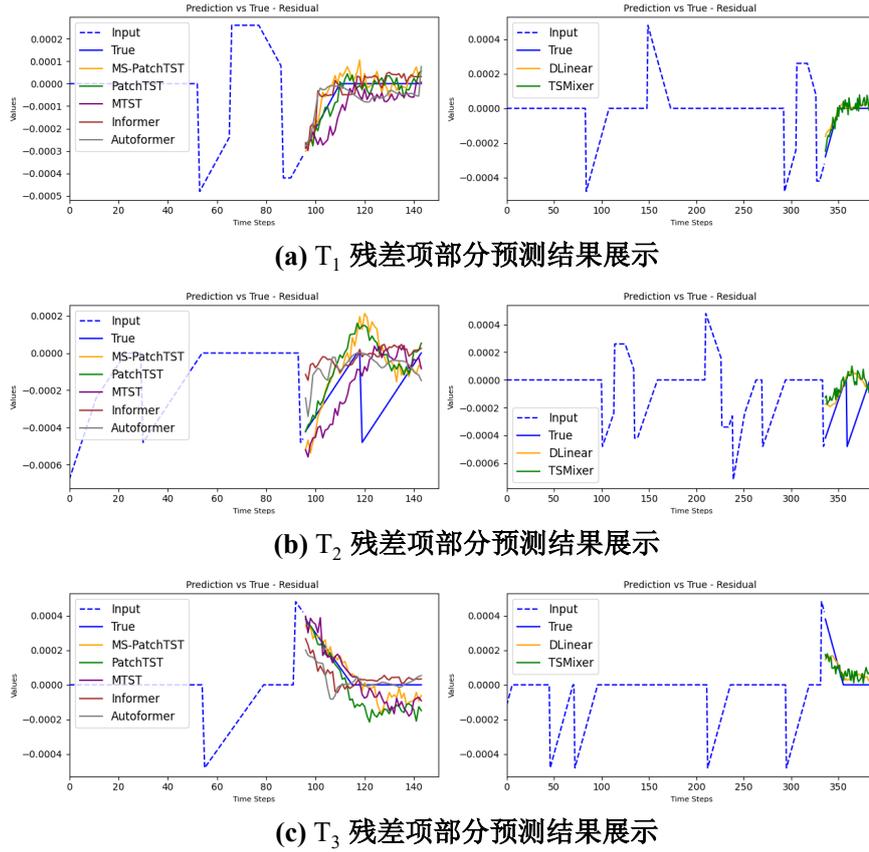


图 3.8 T_1 、 T_2 、 T_3 残差项部分预测结果展示

势预测更为准确，更贴近良率的真实水平。

D-MSP YP 在与 Autoformer 和 Informer 的对比中，优势更加显著。与 Autoformer 相比，在 T_1 、 T_2 和 T_3 的 MAE 上，D-MSP YP 分别降低了 45.17%、47.12% 和 24.34%，RMSE 分别降低了 30.40%、41.54% 和 17.68%。与 Informer 相比，在 T_1 、 T_2 和 T_3 的 MAE 指标上，D-MSP YP 分别降低了 35.19%、27.10% 和 31.90%，RMSE 分别降低了 21.44%、14.61% 和 25.28%。

尽管核心模块 MS-PatchTST 在趋势项和残差项的预测中均表现优异，但 D-MSP YP 在整体良率预测时却未实现 RMSE 的全面领先。进一步分析发现，这可能是由于趋势项与残差项的加权融合机制未能完全适配良率数据的特性。具体而言：良率数据中存在波动与趋势变化的混合特征，加权融合策略难以动态平衡两者的贡献比例，融合过程中可能放大了部分误差。

在决定系数 R^2 的对比中，D-MSP YP 在 T_1 和 T_2 均取得最高值，这表明该模型在这两个数据集上能够有效地捕捉良率的波动趋势，并对良率的整体变化有较强的解释能力。在 T_3 上，D-MSP YP 取得次优，且与最优值差距较小，这一表现反映出模型对不同良率数据较强的稳健性。

在突变点预测能力方面，D-MSP YP 的突变点 MAE 和 RMSE 指标在各测试集均为最优。这表明 D-MSP YP 不仅能够从整体上准确预测良率序列，更能准确

表 3.9 良率对比实验结果

模型	指标	T_1	T_2	T_3
D-MSP YP	MAE	0.000210	0.000156	0.000286
	RMSE	<u>0.000348</u>	0.000228	<u>0.000405</u>
	R ²	0.905392	0.750594	<u>0.932936</u>
	突变点 MAE	0.000185	0.000058	0.000214
	突变点 RMSE	0.000220	0.000059	0.000234
PatchTST	MAE	<u>0.000229</u>	0.000170	<u>0.000307</u>
	RMSE	0.000339	0.000261	0.000425
	R ²	<u>0.895049</u>	0.673196	0.926043
	突变点 MAE	<u>0.000209</u>	<u>0.000059</u>	0.000247
	突变点 RMSE	<u>0.000239</u>	<u>0.000060</u>	0.000267
MTST	MAE	0.000230	<u>0.000164</u>	0.000320
	RMSE	<u>0.000348</u>	<u>0.000237</u>	0.000380
	R ²	0.889791	<u>0.736467</u>	0.937852
	突变点 MAE	0.000210	0.000082	<u>0.000222</u>
	突变点 RMSE	0.000244	0.000083	<u>0.000235</u>
Autoformer	MAE	0.000383	0.000295	0.000378
	RMSE	0.000500	0.000390	0.000492
	R ²	0.770892	0.270073	0.901111
	突变点 MAE	0.000344	0.000266	0.000341
	突变点 RMSE	0.000364	0.000268	0.000361
Informer	MAE	0.000324	0.000214	0.000420
	RMSE	0.000443	0.000267	0.000542
	R ²	0.820478	0.658324	0.879792
	突变点 MAE	0.000315	0.000187	0.000333
	突变点 RMSE	0.000341	0.000188	0.000354

地预测突变点。

从模型结构上看，MS-PatchTST 采用了多尺度的特征提取和融合机制，为 D-MSP YP 提供了准确的趋势项和残差项预测结果，尽管可能因为加权融合时放大了部分误差，导致 RMSE 指标未能全面领先，但 D-MSP YP 仍在良率预测任务中表现出明显优势。与现有模型最优性能在三个测项上的 MAE 总和相比，D-MSP YP 模型的 MAE 总和降低了 6.9%。

综上所述，无论是从与其他模型的指标对比，还是从模型结构的分析，亦或

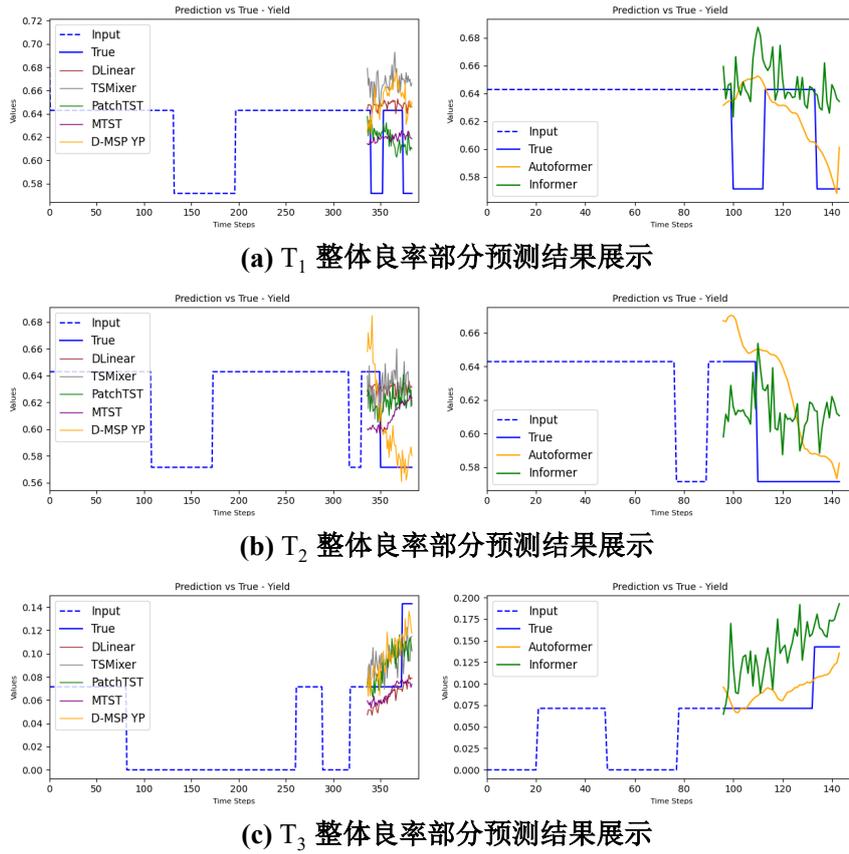


图 3.9 T_1 、 T_2 、 T_3 整体良率部分预测结果展示

是从可视化结果的直观展示，都充分证明了 D-MSP YP 针对不同测项良率预测的有效性。

3.4.5.2 消融实验

为了验证本章提出的模块的有效性，在本节中，进行了相应的消融实验，探究了基于移动平均的良率分解模块和 MS-PatchTST 模块的性能贡献。结果如表 3.10 所示。

(1) 基于移动平均的良率分解模块对模型预测性能的影响分析

对比 D-MSP YP 和 MS-PatchTST 的实验结果，可以看到移除基于移动平均的良率分解模块降低了模型预测效果。在 MAE 上，D-MSP YP 在 T_1 、 T_2 和 T_3 的预测中均最优。在 RMSE 方面，D-MSP YP 仅在 T_1 低于 MS-PatchTST。在 R^2 方面，D-MSP YP 在 T_1 、 T_2 和 T_3 的预测中均优于 MS-PatchTST。D-MSP YP 在突变点的 MAE 和 RMSE 均优于 MS-PatchTST，说明其对数据中突变点的预测更准确。上述结果表明移除基于移动平均的良率分解模块会降低模型的预测性能，分解模块对特征提取和预测精度的提升起到了关键作用。

对比使用 PatchTST 模型替换 MS-PatchTST 形成的 D-PatchTST YP 和 PatchTST 的实验结果，可以发现 D-PatchTST YP 在 T_2 和 T_3 上的 MAE 和 R^2

表 3.10 D-MSP YP 模型消融实验结果

模型	指标	T_1	T_2	T_3
D-MSP YP	MAE	0.000210	0.000156	0.000286
	RMSE	0.000348	0.000228	0.000405
	R^2	0.905392	0.750594	<u>0.932936</u>
	突变点 MAE	0.000185	0.000058	0.000214
	突变点 RMSE	<u>0.000220</u>	0.000059	0.000234
MS-PatchTST	MAE	<u>0.000227</u>	0.000158	0.000293
	RMSE	<u>0.000339</u>	0.000242	0.000414
	R^2	<u>0.894679</u>	0.719101	0.929986
	突变点 MAE	0.000200	<u>0.000059</u>	0.000236
	突变点 RMSE	0.000234	0.000062	0.000257
D-PatchTST YP	MAE	0.000240	0.000162	0.000305
	RMSE	0.000336	<u>0.000238</u>	0.000417
	R^2	0.894057	<u>0.730590</u>	0.931956
	突变点 MAE	<u>0.000187</u>	0.000075	0.000249
	突变点 RMSE	0.000216	0.000076	0.000269
D-MTST YP	MAE	<u>0.000227</u>	<u>0.000157</u>	<u>0.000290</u>
	RMSE	0.000345	0.000241	<u>0.000406</u>
	R^2	0.891240	0.714276	0.934704
	突变点 MAE	0.000203	<u>0.000059</u>	<u>0.000232</u>
	突变点 RMSE	0.000234	<u>0.000060</u>	<u>0.000251</u>

更优, 在 T_1 , T_2 和 T_3 上的 RMSE 均降低, 但是 T_2 和 T_3 的突变点 MAE 和 RMSE 增加, 这表示整体预测效果得到了提升, 但是这种提升可能以牺牲对突变点的预测精度为代价。对比使用 MTST 模型替换 MS-PatchTST 形成的 D-MTST YP 和 MTST 的实验结果, 可以看到 MAE 均降低, T_1 和 T_2 的突变点 MAE 和 RMSE 降低, 这表明良率分解模块能够更有效地提取数据特征, 降低整体预测误差。

不过在对比 D-MTST YP 与 MTST 时, 可以发现部分测项的 RMSE 和 R^2 出现了上升。由于 RMSE 会将误差平方后再计算平均值, 因此它对大误差更敏感。在分解后的预测过程中, 虽然整体误差的平均水平降低了, 但某些关键点或异常值的预测误差可能仍然较大。这些大误差在 RMSE 的计算中会被放大, 导致 RMSE 上升。且加权融合模块在将趋势项和残差项的预测结果融合时, 可能由于不能动态衡量两者的贡献比例, 导致某些数据点的预测误差增大, 影响到 RMSE 和 R^2 。

总体而言，基于移动平均的良率分解模块将良率数据分解为趋势项和残差项，其中趋势项反映了良率的长期变化趋势，残差项则包含了短期波动等信息。趋势项通常更平滑，更容易预测，而残差项则包含了更多的波动。分别对这两部分进行预测，可以更精准地捕捉到数据的整体变化趋势，在整体上降低预测值与真实值的偏差，进而在 MAE、RMSE 等指标上体现出优势，有效提升了预测精度。

(2) MS-PatchTST 模块对模型预测性能的影响分析

在趋势项和残差项对比实验中，MS-PatchTST 在多个指标上优于其他模型。从消融实验结果来看，D-MSP YP 在 T_1 、 T_2 和 T_3 的各项指标均展现出一定优势。在 MAE 和突变点 MAE 指标上，D-MSP YP 实现了最优性能。在 RMSE 和突变点 RMSE 指标上，虽然 D-PatchTST YP 在 T_1 的 RMSE 略低，但在 T_2 和 T_3 上，D-MSP YP 更具优势。D-MSP YP 在 T_2 和 T_3 的 RMSE 低于 D-MTST YP，在 T_1 的 RMSE 与 D-MTST YP 相近。在 R^2 指标上，D-MSP YP 在 T_1 和 T_2 取得了最优，在 T_3 取得了次优。

这些结果进一步证明了基于改进 PatchTST 的预测模块 MS-PatchTST 在提升模型整体性能方面发挥了关键作用。其多尺度 Patch 划分策略和动态加权机制，使得模型能够更好地捕捉数据的全局和局部特征。在处理复杂的良率数据时，MS-PatchTST 可以更准确地把握数据的变化趋势，减少预测偏差，在大多数情况下降低 MAE 和 RMSE，提高 R^2 。

通过对消融实验结果的深入分析，充分验证了 D-MSP YP 中良率分解模块和 MS-PatchTST 模块的有效性和重要性。

3.5 本章小结

本章提出了基于改进 PatchTST 的测项良率预测模型，旨在解决现有方法对数据突变特性处理不足导致的精度受限问题，通过数据分解与多尺度建模的结合，提升了模型的预测性能。具体而言：首先深入分析测项良率数据，得出其趋势性强、周期性弱且易突变的特点；其次基于移动平均分解模块将良率序列解耦为趋势项和残差项，有效分离长期趋势与突变特征，削弱了突变对预测的干扰；然后设计多尺度 PatchTST 模块，通过并行多分支结构实现不同时间尺度的特征捕获——小尺度 Patch 聚焦局部细节，大尺度 Patch 建模长期趋势，并引入分支内和分支间的动态加权机制，在降低参数量的同时实现特征权重分配；最后，通过加权融合模块整合趋势项与残差项的预测结果，平衡各成分贡献。实验结果表明，相比于现有方法的最佳性能，所提模型的平均绝对误差减少了 6.9%，消融实验进一步验证了解析模块与多尺度策略的有效性。

第4章 基于多分支融合自编码器的主板功能异常检测模型

考虑到焊点间空间分布关系及电气连接关系对主板功能的影响，本章提出基于多分支融合自编码器的主板功能异常检测模型，旨在提升主板功能异常检测效果。模型中编码器设计为双分支结构，利用 CNN 分支的多尺度卷积核捕捉空间特征，同时构建带掩码机制的 Transformer 分支提取电气连接关系，设计跨结构注意力动态融合模块实现空间与电气特征交互，并利用转置卷积解码器计算重构误差得到主板功能异常概率，进行异常检测。

4.1 引言

主板功能异常概率可以为测试策略优化提供决策依据，利用主板功能异常检测模型得到主板功能异常概率，并将高异常概率主板的测试顺序提前，可以在有限的测试时间内提高不良主板检出率，降低不良主板流入后续生产环节的风险，有效控制整体成本。

在 SMT 生产流程中，锡膏印刷工序的质量控制直接影响后续的回流焊效果。研究表明，60% - 70% 的焊接缺陷源于该工序^[16-17]。当锡膏经回流焊形成的焊点出现焊接缺陷时，将直接导致主板功能不良。

现有方法通常关注单个焊点的异常，未充分考虑焊点间空间分布关系及焊点间的电气连接关系导致的主板功能异常，忽略了焊点间的耦合效应。当属于同一元件的锡膏之间存在高度差时，回流焊后可能导致元件出现墓碑效应；当相邻锡膏偏移过大时，回流焊后可能存在桥接风险；当同一线路多个焊点出现异常时，可能导致信号传输受到影响。这些情况都会使得主板功能出现异常。由于 L 厂将 AOI 设置在回流焊之前，用于检测元件贴片故障，这类焊接缺陷会在功能测试阶段被检测出来，具体表现为相应的测项功能不良。

考虑到焊点间的空间分布关系及电气连接关系对主板功能的影响，本章提出基于多分支融合自编码器的主板功能异常检测模型。在数据层面，构建对主板功能实现有重要影响的锡膏结构特征，同时引入基于空间距离的数据重排方法来使相邻数据间的空间关联性更为紧密。在模型层面，针对编码器设计双分支结构和特征融合模块，分别从空间和电气连接两个重要方面提取与主板功能状况相关的关键特征，并使用设计的跨结构特征注意力动态融合模块实现空间特征与电气连接关系特征的动态关联、自适应权重分配以及特征交互，利用基于转置卷积的解码器计算重构误差，并根据重构误差得到主板功能异常概率。最后，进行实验验证所提模型的有效性。

本章结构安排如下：4.2 节对 SPI 数据进行介绍，并且构建焊点结构特征，利

用基于空间距离的数据重排方法对数据进行处理；4.3节介绍了设计的基于多分支动态特征融合自编码器的主板功能异常检测模型；4.4节是实验设计与分析，通过设计对比试验和消融实验，验证模型的有效性；4.5节总结本章的研究内容。

4.2 数据采集与预处理

本节首先对采集的数据进行介绍，然后考虑到焊接缺陷形成的原因，构建了锡膏结构特征，接着为了更有效地提取相邻锡膏间的空间特征，基于空间距离对锡膏数据进行了重新排列。

4.2.1 数据采集

在本研究中，使用的数据来源于L厂SMT产线的锡膏检测机台，所采集数据的主板型号与第三章保持一致。

每块主板的SPI数据涵盖了该主板上所有锡膏的特征，记录的相关内容如表4.1所示。各字段含义如下：“元件ID”指该锡膏所属的元件的元件名；“Height”指锡膏高度，括号内的 μm 为其单位，表示微米；“Area”表示锡膏面积，单位为平方微米；“Volume”为锡膏体积，单位为立方微米；“Volume(%)”和“Area(%)”则分别是锡膏体积和面积相较于标准体积和面积的百分比；“OffsetX”和“OffsetY”分别表示锡膏在X、Y方向上的偏移量，单位为毫米；“OffsetX(%)”和“OffsetY(%)”是锡膏偏移量与对应焊盘在相应方向长度的百分比；“Result”表示锡膏的检测结果。

表 4.1 SPI 数据示例

锡膏编号	1	2	3	...	3152
元件ID	1:1C0306	1:1C0306	1:1C0503	...	1:UT7
Height(μm)	125.397	138.172	134.087	...	110.376
Area(μm^2)	3302985	3336851	106478	...	48260
Volume(μm^3)	414185100	461058200	14277220	...	5326748
Volume(%)	131.633	146.53	130.3	...	113.975
Area(%)	104.973	106.049	97.176	...	103.261
OffsetX(mm)	0.008	-0.002	-0.006	...	-0.004
OffsetY(mm)	0.014	-0.002	-0.018	...	-0.039
OffsetX(%)	0.552	-0.167	-1.666	...	-1.949
OffsetY(%)	0.594	-0.1	-4.873	...	-17.603
Result	GOOD	GOOD	GOOD	...	GOOD

本文还收集到了该型号主板的点位图和每个焊盘的位置坐标(x, y)。点位图

中详细显示了主板上各元件的位置、型号、形状、连接关系等关键信息，清晰展示了元件引脚的分布和排列状况。为作展示，截取了部分主板点位图，如图4.1所示，当点击某个元件引脚时，该引脚会变红，与之存在电路连接的其他引脚则变黄。

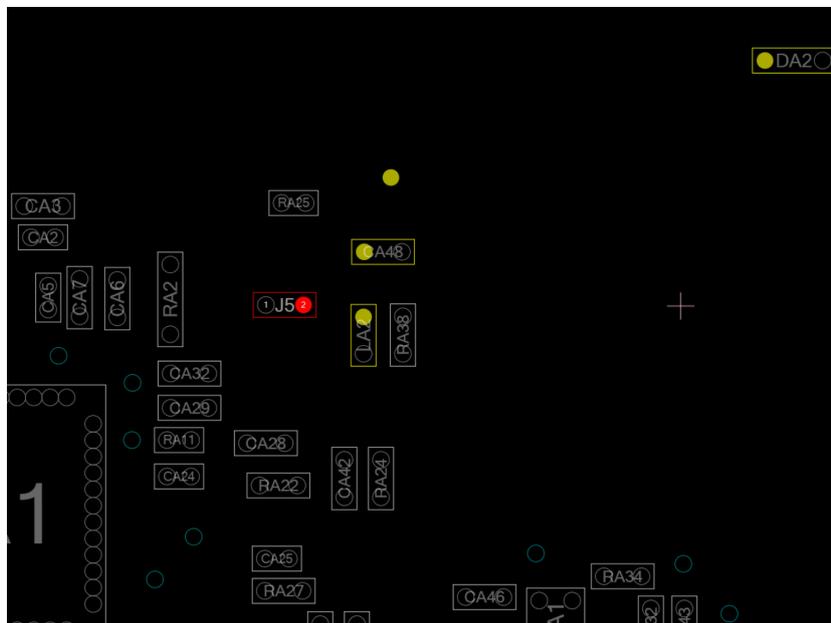


图 4.1 点位图示例

4.2.2 锡膏结构特征构建

Huang^[71]等指出，当同一元件的锡膏量差异过大时，容易在回流焊阶段因表面张力不平衡而翻转，产生墓碑缺陷；当锡膏沉积量过多或面积过大时，容易导致相邻焊盘间锡膏桥接。因此，本研究充分考虑焊接缺陷形成的原因，构建了锡膏的结构特征。

首先，根据 SPI 数据确定锡膏与元件的对应关系；然后，提取同一元件所有锡膏的高度、体积特征，计算这两种特征的极差，即最大值减最小值，作为高度差、体积差特征；最后，为每个锡膏添加新特征，其值为所属元件的高度差、体积差的极差。

4.2.3 基于空间距离的数据重排

原始数据的排列形式使得充分挖掘锡膏之间的空间关系面临较大阻碍，而锡膏的空间位置和经走线实现的相互连接关系对于主板功能有着至关重要的影响。因此，如何从这些数据中精准提取有效的空间特征，成为提升预测准确性的关键所在。基于此，本研究引入了基于空间距离的数据重排方法，通过运用最近邻贪心算法对锡膏数据进行系统性的重新排列，以此来优化数据，为后续的分析与建模奠定基础。

最近邻贪心算法是经典的启发式算法^[72]，在多学科领域广泛应用。其核心是每一步选择当前最优局部解，逐步构建全局解。锡膏是印刷在焊盘上的，焊盘位置能够反映锡膏位置。在处理主板锡膏数据时，从所有焊盘中随机选一个作为起始节点，以此避免固定起始点带来的偏差。以起始节点为起点，每轮迭代，通过欧几里得距离公式 $d = \sqrt{(x_2 - x_1)^2 + (y_2 - y_1)^2}$ ，计算当前已访问节点与其余未访问焊盘的空间距离。算法选出距离最短的未访问焊盘作为下一个节点，不断重复，直至遍历所有焊盘，形成基于空间距离有序排列的路径。

算法具体实现分为以下四步：

1. 初始化：随机选取一个焊盘作为起始节点，标记为已访问并加入路径集合。同时，记录所有焊盘的位置坐标 (x, y) ，为后续距离计算提供数据基础。
2. 寻找最近邻：利用欧几里得距离公式计算当前已访问节点与未访问焊盘间的距离，将距离最短的未访问焊盘确定为下一个节点。
3. 更新路径和访问状态：将新节点加入路径集合，标记为已访问，以便后续计算自动排除已访问节点，提高算法效率。
4. 循环判断：不断重复寻找最近邻和更新路径与访问状态的步骤，直至所有焊盘都被访问。此时，路径集合中的焊盘按空间距离有序排列。

记录好路径，剩下所有主板都按照该路径统一进行数据重排。与原始数据相比，重排后的数据结构更有序、空间距离更紧密，更适合分析相邻锡膏间的空间特征，提高特征提取的准确性与效率，帮助模型更好捕捉导致主板功能不良的关键信息，提升模型准确性。

4.3 基于多分支融合自编码器的主板功能异常检测模型设计

主板功能异常检测任务中异常指的是主板功能不良，图4.2展示了本研究针对主板功能异常设计的无监督异常检测算法框架。由于训练时输入的都是正常样本，模型在学习过程中能够学习到正常样本的特征分布与内在模式。在实际测试阶段，模型会依据已学习到的正常模式对所有样本进行重构，由于异常样本的特征偏离正常模式，模型在重构过程中就会产生较大的误差，从而识别出异常样本。

设计的模型通过计算重构误差，然后利用对数函数对重构误差进行变换，将其转换为异常概率 P ，公式如下：

$$P = \frac{\ln(e + 1)}{\ln(M + 1)} \quad (4.1)$$

其中 M 为测试过程中统计得到的重构误差最大值， e 为测试过程中某个样本的重构误差，对数函数用于抑制极端误差值的尺度差异。该公式计算的是重构误差 e 相对于最大重构误差 M 的相对比例关系，能反映样本重构误差相对位置。然

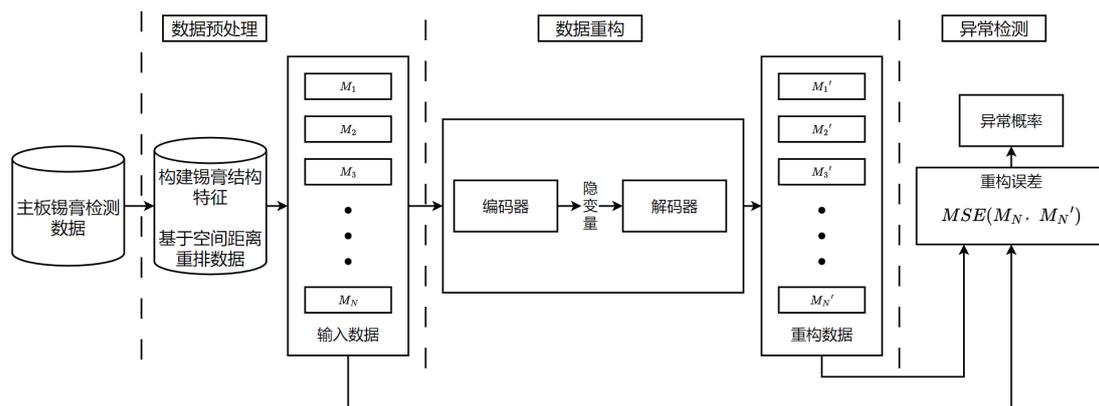


图 4.2 主板功能异常检测算法框架

后结合合适的阈值进行异常检测，当异常概率超过设定阈值时，便可判定当前样本为异常，实现对主板功能异常的有效检测。

本研究设计了基于多分支融合自编码器的主板功能异常检测模型，其整体结构如图4.3所示。该模型由编码器和解码器两部分组成，编码器部分设计了双分支结构和特征融合模块，分别由基于相邻锡膏特征提取的 CNN 分支、基于电气连接关系特征提取的 Transformer 分支以及跨结构特征注意力动态融合模块构成。解码器则由转置卷积组成，用于重构数据。

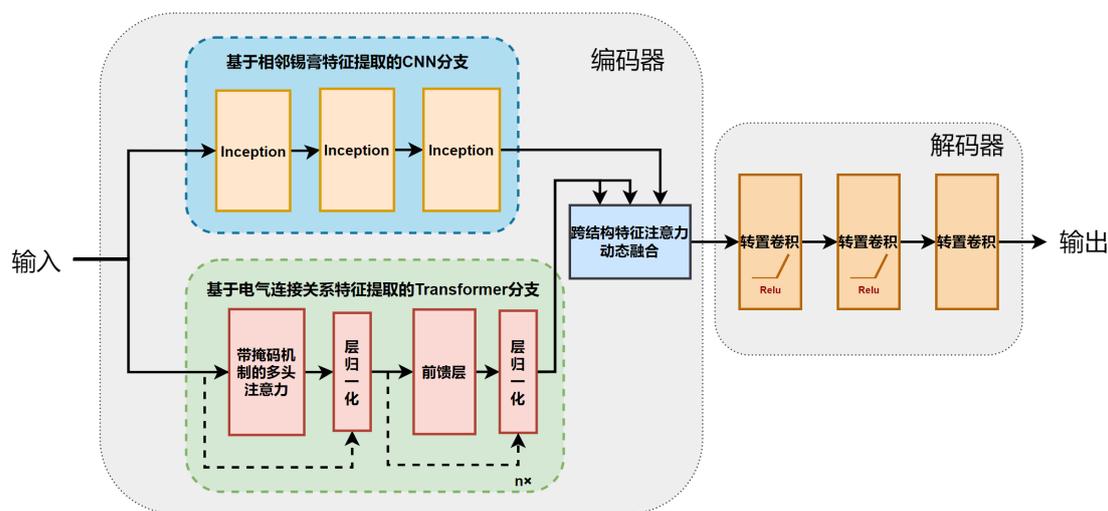


图 4.3 基于多分支融合自编码器的主板功能异常检测模型结构图

4.3.1 编码器设计

主板作为笔记本电脑的核心部件，其功能的实现依赖于电子元件通过焊点和走线构成的电路连接。这些电子元件在既定的电路设计下协同工作，完成数据处理、信号传输等一系列复杂任务。而锡膏印刷在主板制造过程中起着至关重要的作用，其质量优劣直接关系到焊点的可靠性，进而影响主板功能。

若相邻锡膏的偏移过大或者面积过大，会导致间距过小，继而在后续的电子

元件安装或测试过程中,极易因震动等因素引发电气干扰,影响信号传输的稳定性,也容易在回流焊阶段产生桥接现象,导致短路,引发主板功能异常。同一元件锡膏不均匀同样会引发严重问题,当锡膏印刷不均匀导致元件两侧的锡膏高度不一致时,由于一侧锡厚拉力大,另一侧锡薄拉力小,可能会使元件一端被拉向一侧形成墓碑效应或者空焊等情况;锡膏印刷不均匀导致偏移时,也会引起元件两侧受力不均出现墓碑缺陷。因此,相邻锡膏的空间特征对主板功能异常检测起着不可或缺的作用。

同时,主板上的锡膏并非孤立存在,经过回流焊形成焊点后,它们通过复杂的电路连接将各元件构成一个整体,共同实现主板功能。不同位置的焊点通过特定电气连接关系协同工作,任何一处连接异常都可能破坏整个功能模块的正常运作,进而影响主板整体功能,因此焊点与焊点之间的电气连接关系对主板功能的实现也至关重要。

基于此,为精准提取与主板功能状况相关的关键特征,本研究从空间和电气连接两个重要方面设计模型。在空间特征提取方面,构建了基于相邻锡膏特征提取的 CNN 分支,针对根据空间距离重排后的相邻锡膏进行特征挖掘。考虑到锡膏在物理空间中的实际分布,采用 Inception 架构^[73]。其多尺度卷积核并行运算机制能够贴合锡膏空间分布的多样性,有效捕捉不同尺度下锡膏间的关键空间特征。

在电气连接特征提取方面,设计了基于电气连接关系特征提取的 Transformer 分支。由于主板锡膏间存在复杂的电气连接关系,本研究利用掩码机制,使该分支能够充分捕捉物理实际中锡膏的电气连接关系,为预测主板功能状况提供关键的电气连接维度信息。

在检测主板是否功能不良时,仅靠单一的空间特征或电气连接特征往往难以全面、准确地反映主板的功能状况。传统的特征融合方式,如拼接或相加,存在静态权重这一固有问题,无法根据样本实际灵活调整,会导致对某些特征的过度强调或忽视,影响检测效果。鉴于此,本研究设计了跨结构特征注意力动态融合模块,借助注意力机制达成空间特征与电气连接关系特征的动态关联、自适应权重分配以及特征交互。

接下来对各分支和模块进行详细介绍。

4.3.1.1 基于相邻锡膏特征提取的 CNN 分支

在本研究中, CNN 分支聚焦于对按空间距离重排的 SPI 数据进行空间特征提取。由于原始 SPI 数据并未体现出锡膏的空间距离特征,为适配 CNN 处理,依据锡膏的位置进行了重排,重排方法如 4.2.2 中所述。重排后的数据记为 $X \in \mathbb{R}^{N \times a \times b}$,其中 N 表示主板数量,每条 SPI 数据的维度为 (a,b) 。

由于主板上锡膏的空间分布呈现出多样性，不同锡膏间的体积、偏移量等存在显著差异。传统的单一尺度卷积核在处理此类复杂数据时，难以全面捕捉锡膏间丰富的空间特征。Inception 模型的出现为解决这一难题提供了有效途径。如图4.4所示，Inception 模型通过独特的多尺度卷积核并行运算机制，能够很好地契合锡膏空间分布的特性。不同尺寸的卷积核（如 1×1 、 3×3 、 5×5 ）可以同时输入数据进行卷积操作，从不同尺度的视角捕捉锡膏间的空间排列规律，使得关键空间特征被有效提取。这种多尺度并行处理方式，大大增强了模型对锡膏空间特征的表达能力。

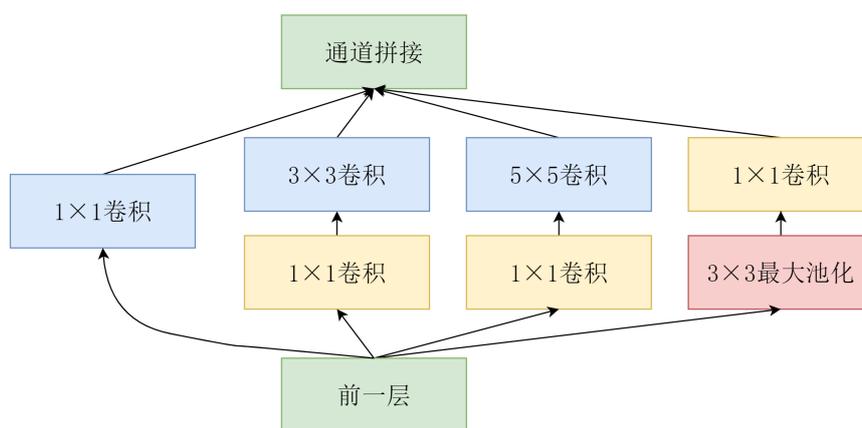


图 4.4 Inception 结构图

Inception 模块具备多个并行分支，共同对输入数据进行处理，以获取不同尺度下的特征信息。在深入介绍 CNN 分支前，先对卷积操作做简要说明。卷积是一种数学运算，在图像处理领域，卷积操作通过将卷积核在输入数据上滑动，并在每个位置进行加权求和来生成输出特征^[74]。设输入数据为 X ，卷积核为 K ，输出特征为 O ，其计算公式为：

$$O(m, n) = \sum_{i=0}^{h-1} \sum_{j=0}^{w-1} K(i, j) \cdot X(m+i, n+j) \quad (4.2)$$

其中 (m, n) 是输出特征中的位置， (h, w) 是卷积核的尺寸。

在 Inception 模块中， 1×1 、 3×3 、 5×5 分支共同承担着对输入数据进行多尺度特征提取的重要任务。 1×1 卷积分支运用特定数量的 1×1 卷积核，依据卷积公式，在不改变数据空间分辨率的前提下对通道维度实施线性变换与信息整合，从而捕捉数据中较为抽象、全局的特征。 3×3 卷积分支由两个连续的卷积操作构成，先通过 1×1 卷积降维并初步提取特征，再利用 3×3 卷积核，结合填充操作保持空间分辨率不变，有效提取数据中局部的、中等尺度的空间特征。 5×5 卷积分支同样包含两个卷积操作，先经 1×1 卷积实现降维与初步特征提取，再运用 5×5 卷积核，通过填充维持空间分辨率，捕捉更大尺度的局部空间特征，凸显锡膏间相对

位置关系及较大范围的空间模式。这三个分支从不同尺度对输入数据进行卷积处理，为后续全面且深入地分析数据特征奠定基础。

Inception 池化分支的平均池化操作能对局部区域内的特征进行平均化，减少特征中的噪声影响，突出主要特征信息。之后，再应用 1×1 卷积对池化后的数据进行处理，进一步对池化后的特征进行通道维度的调整与特征整合。例如，对于输入数据 X ，在位置 (m, n) 处，以 (m, n) 为中心的 3×3 区域内的数据为 $X_{(m,n)}^{3 \times 3}$ ，经过平均池化后在输出特征对应位置的值为：

$$P(m, n) = \frac{1}{9} \sum_{i=0}^2 \sum_{j=0}^2 X_{(m,n)}^{3 \times 3}(i, j) \quad (4.3)$$

最终，将上述四个分支的输出结果在通道维度上进行拼接，得到 Inception 模块的输出。

Inception 模块虽然能够从不同尺度提取特征，但是仅依靠单个模块无法充分挖掘出数据中的所有特征信息，多次堆叠 Inception 模块可以构建一个深度的特征提取网络，使得模型能够在不同层次上逐步学习和抽象出数据特征，丰富特征表达的多元性与丰富度。

4.3.1.2 基于电气连接关系特征提取的 Transformer 分支

Transformer 在处理数据长距离依赖关系方面展现出强大的能力^[64]，因此被引入用于提取主板锡膏间的电气连接关系特征。在本研究中，仅使用 Transformer 的编码器结构进行特征提取，以专注于对电气连接关系的建模。

多头注意力机制是 Transformer 编码器的核心组件之一^[75]，它能够同时关注输入数据的不同表示子空间，从而更全面地捕捉数据特征之间的关系。其计算过程如下：首先，输入数据 X 分别与可学习的权重矩阵 W_Q 、 W_K 、 W_V 相乘，得到查询矩阵 Q 、键矩阵 K 和值矩阵 V ，公式为：

$$Q, K, V = XW_Q, XW_K, XV_V \quad (4.4)$$

接着，计算注意力分数，通过对 Q 和 K 的转置进行点积操作，并除以缩放因子 $\sqrt{d_k}$ 来防止梯度消失或爆炸，其中 d_k 是键向量的维度，再经过 Softmax 函数进行归一化，得到注意力分布：

$$\text{Attention} = \text{Softmax}\left(\frac{QK^T}{\sqrt{d_k}}\right)V \quad (4.5)$$

随后，将注意力分布与值矩阵 V 相乘，得到每个头的注意力输出：

$$\text{head}_h = \text{Attention}(Q_h, K_h, V_h) \quad (4.6)$$

最后，将多个头的输出进行拼接，并与权重矩阵 W_o 相乘，得到多头注意力机制的最终输出：

$$MultiHead(X) = Concat(head_1, \dots, head_h)W_o \quad (4.7)$$

其中 h 表示头的数量。

为了让 Transformer 能够准确捕捉主板锡膏间的电气连接关系，本研究引入了掩码机制。该机制中的掩码矩阵 A 依据锡膏间的电气连接情况构建，存储着锡膏之间的电气连接关系。具体来说，存在电气连接关系的两个锡膏其对应位置为 1，否则为极小值。假设每块主板锡膏总数为 n ，则 A 是一个 $n \times n$ 的矩阵，其元素 A_{ij} 满足：

$$A_{ij} = \begin{cases} 1, & (i, j) \in \mathbb{K} \\ 1e-9, & \text{others} \end{cases} \quad (4.8)$$

其中 i 和 j 分别代表第 i 个和第 j 个锡膏， \mathbb{K} 是存储具有电路连接的锡膏对的集合。

此时重新定义注意力计算公式4.5为：

$$Attention = \text{Softmax}\left(\frac{QK^T}{\sqrt{d_k}}\right)V + \log(A) \quad (4.9)$$

在计算注意力时，通过融入掩码机制，使得模型仅对存在电气连接的锡膏进行注意力计算，精准地捕捉锡膏间关键的电气连接特征，避免无关锡膏的干扰。这不仅使模型所提取的特征紧密贴合主板真实的电路结构和功能逻辑，更符合主板实际工作原理，为预测主板功能状况提供高度相关信息，并且大大减少了模型处理的信息量，降低计算资源消耗，缩短训练时间，减少内存占用，提升了模型在处理大规模主板锡膏数据时的运行效率，进而让后续网络层能更好地处理和融合这些特征，为准确预测主板功能状况提供有力支持。

4.3.1.3 跨结构特征注意力动态融合模块

如图4.5所示，跨结构特征注意力动态融合模块通过借助注意力机制达成空间特征与电气连接关系特征的动态关联、自适应权重分配以及跨结构特征交互。

为实现有效的特征融合，本模块设计了查询 (Query, Q)、键 (Key, K)、值 (Value, V) 生成机制，各组件的输入来源及作用如下：

Q: 来源于 CNN 分支特征，其作用是表征空间位置的关注焦点。选用 CNN 分支特征作为 Q 的来源，主要是考虑到该分支在捕捉局部空间特征方面具备显著优势。它能够精准反映相邻锡膏间的偏移、锡膏体积等关键空间特征，进而保留空间结构信息。

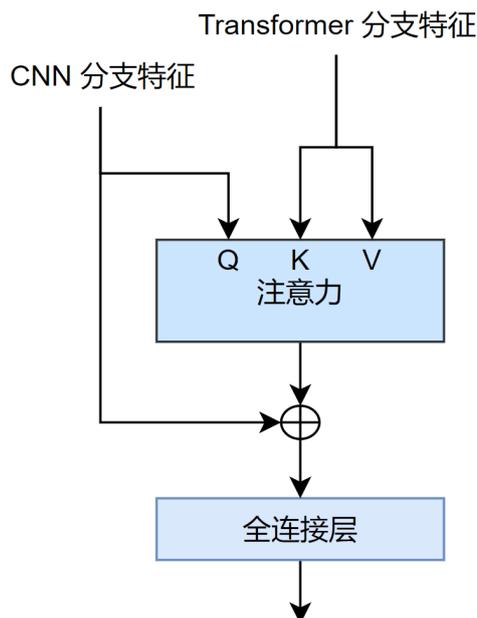


图 4.5 跨结构特征注意力动态融合模块结构图

K: 由 Transformer 分支特征生成, 用于表征电气连接关系的匹配基准。Transformer 在处理序列中的长距离依赖关系上表现卓越, 通过 Transformer 分支特征生成的 K, 能够充分挖掘全局交互信息, 清晰呈现锡膏之间复杂且多元的电气连接关系, 使模型能够把握电气连接特征。

V: 与 K 同源, 均来自 Transformer 分支特征, 作为待融合的基础特征。保证 K 与 V 同源, 能让电气连接关系的匹配信息与待融合的特征紧密结合, 在融合过程中, Transformer 分支特征所蕴含的全局电气连接信息能更好地发挥作用, 与 Q 所代表的空间位置信息进行有效融合。

通过上述 Q-K-V 机制生成注意力矩阵, 使得每个空间位置与电气节点建立起关联强度, 实现空间特征与电气连接特征的深度融合。尤为关键的是, 注意力矩阵能够针对不同的锡膏情况自动生成独特的关联模式。这种动态自适应能力使得模型能够依据锡膏的具体状况, 灵活且精准地调整空间特征与电气连接特征的融合方式, 从而更为准确地捕捉到与主板功能状况紧密相关的关键信息。

为进一步优化特征融合的整体效果, 本模块采用了残差连接设计。这具有双重优势: 一方面可以有效避免信息丢失, 确保在特征融合过程中重要的空间信息得以完整保留, 不被遗漏; 另一方面, 这种连接方式有助于缓解梯度消失问题, 使得模型在训练过程中能够更加稳定地收敛, 显著提高模型的整体性能。

通过上述跨结构特征注意力动态融合模块, 可以有效实现空间特征与电气连接特征的高效融合。在此基础上, 在残差连接之后添加全连接层, 旨在对融合后的特征进行维度压缩, 进一步提炼和整合关键信息, 实现更为高效的编码效果。

4.3.2 解码器设计

解码器由多个转置卷积层组成，用于实现数据的重构。首先，第一个转置卷积层对输入特征进行处理，使特征的宽度增大，同时减少通道数量，之后通过激活函数引入非线性。接着，第二个转置卷积层在保持特征宽度不变的情况下，进一步减少通道数量，同样使用激活函数。然后，第三个转置卷积层继续处理特征，维持宽度不变，再次调整通道数量，此层不使用激活函数，以支持负值特征响应，增强模型对异常区域的重建灵活性。经过这三个转置卷积层后，使用挤压操作去除特征中维度为单一值的维度，得到最终输出。

本文设计的解码器结构简单，这是由于编码器已从空间和电气连接两个方面进行了复杂且详细的特征提取，已充分提取并整合了主板功能状况相关的关键特征，解码器无需复杂操作即可对这些高质量特征进行解码。同时，简单的解码器结构可降低模型复杂度、减少参数数量，避免因结构过于复杂导致模型在训练数据上过拟合，从而能更好地泛化到不同样本，提高模型鲁棒性。此外，简单结构在计算上更为高效，能减少计算资源消耗和时间，满足实际应用中实时处理或大规模数据处理对计算效率的要求。

4.4 实验设计与结果分析

4.4.1 数据集

在实验中，所使用的数据来源于 L 厂 SMT 产线的锡膏检测机台和功能测试机台，共采集到 4223 块进行了选测项测试的主板 SPI 数据，其中有 5 块主板的数据记录存在缺失，无法满足实验要求，遂将其剔除，最终保留了 4218 条有效数据。由于本研究中导致主板功能异常的选测项的功能模块位于主板的同一面，因此只使用该面的 SPI 数据，这些数据的维度为 (3152,9)，表明每块主板该面有 3152 个锡膏，各自具备 9 个特征，各特征的详细物理意义可参照表 4.1。在数据预处理阶段，构建了高度差和体积差两个锡膏结构特征，并对数据根据空间距离进行了重排。预处理后，每条数据的维度为 (3152,11)^①。

由于本研究只优化选测项测试策略，因此只关注选测项导致的主板功能不良。在这 4218 条数据中，经排查确定有 75 块主板存在选测项导致的功能不良。为了构建合理的训练集与测试集，对余下 4143 块功能良好的主板数据，按照 8:2 的比例进行训练集和测试集的划分。同时，将 75 块功能不良的主板数据全部纳入测试集。

尽管 PCB 异常检测领域存在公共数据集，但其任务与本章所研究的主板功能异常检测并不完全一致，公开数据集缺乏本任务所需的主板功能标签，且本章

^①数据可见：<https://pan.baidu.com/s/230uFPDWpBfB4BQ?pwd=hp3h>，也可联系作者获取。

设计的方法依赖主板锡膏的位置关系、所属元件、焊点之间的电气连接关系等专有数据，而此类数据在公开数据集中普遍缺失，因此本章未加入公开数据集进行实验。

数据标准化是提升模型训练效果与泛化能力的关键步骤。本实验采用 Z-score 标准化方法^[76]，具体操作流程如下：在训练集构建完成后，针对训练集数据的每个特征，分别计算其均值与标准差，得到每个特征的均值向量 $\mu = (\mu_1, \mu_2, \dots, \mu_{11})$ 与标准差向量 $\sigma = (\sigma_1, \sigma_2, \dots, \sigma_{11})$ 。然后依据均值向量和标准差向量分别对训练集和测试集的数据进行标准化处理。通过上述标准化操作，无论是训练集还是测试集，数据在特征尺度上达到了统一，有利于提升模型的整体性能与稳定性。标准化后的主板数据示例如表4.2所示，排除表头行后，主体部分的维度为 (3152,11)，代表一块主板的数据，其中 H、A、V、OX、OY 分别为高度、面积、体积、X 方向偏移和 Y 方向偏移的简写，详细物理意义可参照表 4.1， ΔH 和 ΔV 分别为构建的高度极差和体积极差特征。

表 4.2 标准化后模型输入数据示例

H	A	V	V(%)	A(%)	OX	OY	OX(%)	OY(%)	ΔH	ΔV
-1.211	0.141	-0.041	-1.259	0.216	-1.351	-0.992	-1.139	-0.884	0.409	-0.224
-0.368	0.106	0.036	-0.483	-0.230	-1.099	-0.777	-0.929	-0.748	0.409	-0.224
-0.890	-0.573	-0.581	-1.329	-0.535	-2.548	-0.906	-2.897	-0.969	0.909	-0.277
0.254	-0.586	-0.540	-0.262	-0.972	-0.595	-2.191	-0.666	-2.525	0.909	-0.277
0.394	0.079	0.105	0.207	-0.571	-1.792	-1.077	-1.452	-0.946	-0.367	-0.243
0.772	-0.031	0.040	0.483	-0.802	-2.107	-1.206	-1.693	-1.148	-0.367	-0.243
0.668	-0.006	0.054	0.630	-0.456	-2.170	-1.377	-1.751	-1.297	2.420	-0.135
-1.382	0.113	-0.084	-1.693	-0.142	-1.666	-1.077	-1.383	-0.946	2.420	-0.135
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮
0.476	0.091	0.126	0.421	-0.422	0.602	0.594	0.409	0.264	-0.545	0.261
0.205	-0.306	-0.279	1.190	1.063	-0.280	0.636	-0.251	0.013	-0.545	0.261
0.978	-0.574	-0.495	0.901	-0.590	-1.225	-0.735	-1.461	-0.753	-0.034	-0.305
0.400	-0.570	-0.518	0.313	-0.441	-1.792	-1.591	-2.222	-1.700	-0.034	-0.305

4.4.2 实验环境与评价指标

4.4.2.1 实验环境与参数设置

本章实验软硬件的关键配置参数同表3.5。基于多分支融合自编码器的主板功能异常检测模型的核心超参数如表4.3所示。

表 4.3 基于多分支融合自编码器的主板功能异常检测模型核心超参数

超参数	取值
学习率	0.001
Transformer 编码器层数	2
多头注意力头数	4
训练数据的批次大小	16

4.4.2.2 评价指标

为全面、准确地评估模型的性能表现，本实验选用了一系列广泛应用于异常检测任务的评价指标，包括准确率（Accuracy）、精确率（Precision）、召回率（Recall）以及 F1 分数（F1 Score）。这些指标从不同角度对模型的预测能力进行量化分析，有助于深入了解模型的优势与不足。

（1）准确率

准确率用于衡量模型预测正确的样本数占总样本数的比例，反映了模型整体的预测准确性。其计算公式为：

$$\text{Accuracy} = \frac{\text{TP} + \text{TN}}{\text{TP} + \text{TN} + \text{FP} + \text{FN}} \quad (4.10)$$

其中 TP 表示模型正确预测为正类的样本数量，TN 表示模型正确预测为负类的样本数量，FP 表示模型错误预测为正类的样本数量，FN 表示模型错误预测为负类的样本数量。在本实验场景中，正类定义为功能不良的主板，负类为功能良好的主板。准确率越高，表明模型在区分功能良好与不良主板方面的整体准确性越高。

（2）精确率

精确率衡量的是模型预测为正类且实际也为正类的样本数占模型预测为正类样本数的比例，体现了模型对正类预测的精准程度。计算公式如下：

$$\text{Precision} = \frac{\text{TP}}{\text{TP} + \text{FP}} \quad (4.11)$$

高精确率意味着当模型判断一块主板为功能不良时，该判断结果有较高的可信度，即真正功能不良的主板占模型判定为功能不良主板总数的比例较大。

（3）召回率

召回率又称真正率，是指模型正确预测为正类的样本数占实际正类样本数的比例，反映了模型对正类样本的覆盖程度。其计算公式为：

$$\text{Recall} = \frac{\text{TP}}{\text{TP} + \text{FN}} \quad (4.12)$$

在异常检测任务中，模型召回率衡量算法对异常样本的识别覆盖能力，属于数据驱动的性能指标；而工厂实际召回率反映不良产品在生产过程中被成功召

回的比例，二者在概念上存在本质差异。本实验中，较高的模型召回率说明算法能够有效识别功能异常主板，从而降低误判为良品的风险。

(4) F1 分数

F1 分数是综合考虑 Precision 和 Recall 的一个评价指标，它通过调和平均数的方式将两者结合起来，更全面地反映模型的性能。计算公式为：

$$F1 = 2 \times \frac{\text{Precision} \times \text{Recall}}{\text{Precision} + \text{Recall}} \quad (4.13)$$

F1 分数能够平衡精确率和召回率之间的关系，当精确率和召回率都较高时，F1 分数也会较高。在实际应用中，由于精确率和召回率可能会相互制约，F1 分数提供的综合指标便于对不同模型或同一模型在不同参数设置下的性能进行比较。

实验时通过对准确率、精确率、召回率和 F1 分数这四个评价指标的计算与分析，能够从多个维度深入评估模型的表现。

4.4.3 实验设置

4.4.3.1 对比实验设置

为了验证本文提出的基于多分支融合自编码器的主板功能异常检测模型的有效性，设计了一系列对比实验，将所提模型记为 SE-MBAD。对比实验具体包括以下模型：

- AE^[51]：自编码器，由编码器和解码器组成。编码器将输入数据压缩为低维隐表示，解码器尝试从隐表示重构原始数据。异常检测中，正常数据的重构误差通常较小，而异常数据因分布差异导致误差较大，通过设定阈值即可识别异常。对比实验中采用由全连接层构成的典型自编码器。
- CAE^[77]：卷积自编码器，将全连接层替换为卷积层和池化层，更适合处理图像等具有空间结构的数据。通过卷积操作捕捉局部特征，池化层降低维度，提升特征鲁棒性。异常检测时，异常区域的重构误差显著高于正常区域。
- One-class SVM^[78]：单类支持向量机，假设正常数据集中于高密度区域，通过核函数将数据映射到高维空间并构建超平面，使大部分正常数据位于超平面内，异常点则位于外侧。
- REPEN^[79]：基于排名模型学习低维表示，通过采样和随机近邻距离优化，使异常点在随机子样本中的距离排名更显著，从而提升超高维数据的异常检测性能。
- DIF^[80]：深度隔离森林，通过随机初始化神经网络生成特征空间，在新空间中用轴平行切割构建隔离树。异常点因非线性特征组合更易被隔离，结

合路径长度和特征偏差计算异常得分，提升了复杂数据的检测能力。

- **SLAD^[81]**: 基于尺度学习的异常检测方法，通过引入尺度特征作为监督信号，将尺度学习定义为分布对齐任务，让模型学习数据的内在规律和模式。在检测阶段，SLAD 依据学习到的正常模式，计算测试数据的损失值以衡量异常程度，进而识别异常数据。

通过与这些异常检测模型对比，能全方位考察 SE-MBAD 模型在主板功能异常检测任务中的表现，为验证其有效性提供有力依据。

为确保对比实验的公平性。在模型评估环节，对所有对比模型均以 F1 分数最大化为标准选取阈值，统一最佳性能参照，避免因阈值差异干扰实验结果，保证各模型在同等条件下对比性能。在数据输入上，所有模型的输入数据均一致，训练样本均为正常主板数据，异常主板数据仅用于测试。

4.4.3.2 消融实验设置

实验中仅对 SE-MBAD 编码器进行了消融，解码器保持一致，仍以 F1 分数最大化为标准选取阈值。所采用的消融方式如下所示，其中“w/o”是“without”的缩写：

- **CNN-only Branch**: 只保留基于相邻锡膏特征提取的 CNN 分支。
- **Transformer-only Branch**: 只保留基于电气连接关系特征提取的 Transformer 分支。
- **Transformer w/o Mask**: 使用经典的 Transformer encoder 作为编码器。
- **SE-MBAD w/o Mask**: SE-MBAD 的 Transformer 分支去除掩码机制。
- **SE-MBAD w/o Cross-Attention**: 去除 SE-MBAD 的跨结构特征注意力动态融合模块，改为两个分支特征直接相加。

4.4.4 模型训练过程可视化

为直观呈现 SE-MBAD 模型的训练过程，绘制了训练损失曲线，如图4.6所示。从曲线变化可知，训练初期，损失值快速下降，体现模型对数据特征的快速学习能力，参数更新高效；随着训练推进，损失下降速率放缓，在后期趋于平稳，表明模型逐渐收敛，进入稳定训练阶段。通过该损失曲线，可实时监测训练状态。整体来看，SE-MBAD 的训练损失曲线符合典型的有效训练过程，展示了模型从快速学习到稳定收敛的良好训练特性。

4.4.5 实验结果分析

在本小节中，依次进行对比试验和消融实验的结果展示与分析。

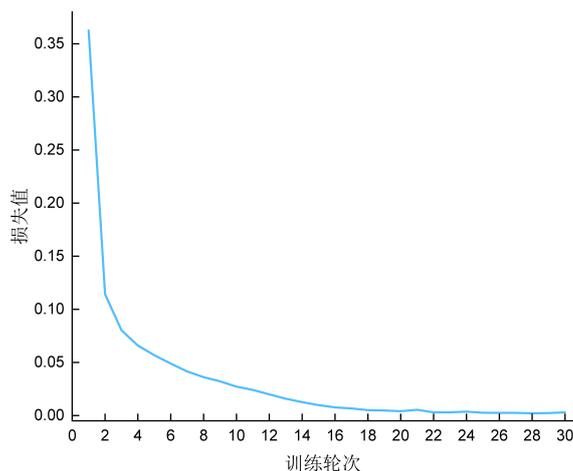


图 4.6 SE-MBAD 训练损失曲线

4.4.5.1 对比实验

在主板功能异常检测实验中，对提出的 SE-MBAD 模型与多种模型进行了对比，全面评估了模型性能。实验结果如表 4.4 所示。接下来从三个维度对 SE-MBAD 模型展开分析：其一分析 SE-MBAD 模型自身的性能表现；其二对比 SE-MBAD 模型与其他自编码器架构模型，分析其优势；其三将 SE-MBAD 模型与其他类型的异常检测模型进行比较，分析 SE-MBAD 模型的优势。

表 4.4 主板功能异常检测对比实验结果

	准确率	精确率	召回率	F1 分数
SE-MBAD	0.9723	1	0.6667	0.8000
AE	0.9646	1	0.5733	0.7288
CAE	0.9679	1	0.6133	0.7603
One-class SVM	0.9646	0.9778	0.5867	0.7333
REPEN	0.9624	0.9362	0.5867	0.7213
DIF	<u>0.9701</u>	1	<u>0.6400</u>	<u>0.7805</u>
SLAD	0.9690	<u>0.9796</u>	<u>0.6400</u>	0.7742

(1) SE-MBAD 模型优势分析

SE-MBAD 模型的 F1 分数达到 0.8，相比最优对比模型 DIF 的 0.7805 提升了 2.5%，且在准确率、精确率、召回率、F1 分数四项指标上均排名第一，这得益于其独特的架构设计。模型的编码器采用双分支结构和特征融合模块，基于相邻锡膏特征提取的 CNN 分支使用 Inception 架构，能有效捕捉不同尺度下锡膏间的空间特征；基于电气连接关系特征提取的 Transformer 分支通过引入掩码机制，精准捕捉锡膏间的电气连接关系。跨结构特征注意力动态融合模块实现了空间特征与电气连接关系特征的动态关联、自适应权重分配以及特征交互，克服了传

统特征融合方式的弊端。解码器采用转置卷积，能高效还原数据。

SE-MBAD 模型与 AE、CAE、DIF 的精确率均为 1，意味着其预测的正类样本精确。这主要是因为模型在特征提取和融合过程中，精准地捕捉到了与主板功能异常相关的关键信息，减少了将正常主板误判为功能不良的情况。例如，跨结构特征注意力动态融合模块能够根据不同样本的实际情况，自适应地调整空间特征与电气连接特征的融合方式，从而帮助模型准确识别出真正功能不良的主板。AE、CAE、DIF 等模型精确率也为 1，原因如下：模型在训练优化时充分学习了正常样本，能精准把握正常主板数据特征模式，预测时对偏离正常模式的数据判定谨慎，仅在确认时判定为正类，减少了误判，提高精确率。不过，这是以牺牲召回率为代价的，实验中这些模型召回率低于 SE-MBAD，表明它们虽保证了正类预测的可靠性，但漏检了部分功能不良主板。

SE-MBAD 模型的召回率较对比模型最高值 0.64 提升了 4.2%，在漏检控制上表现出色。这得益于模型对多种特征的有效整合以及对异常特征的敏感捕捉。模型不仅关注锡膏的空间特征，还深入挖掘电气连接关系特征，使得在检测过程中能够尽可能多地识别出实际功能不良的主板，降低了漏检风险。

同时也发现了模型召回率不高这一问题，这可能主要由以下原因导致：一方面，模型对 SPI 数据的特征提取不够充分，未能全面挖掘锡膏数据的特性，致使部分关键信息缺失，影响了对异常主板的有效识别；另一方面，在主板生产流程里，尽管锡膏印刷是整个流程的基础环节，回流焊前的 AOI 排除了绝大部分元件贴片异常的情况，但贴片环节、回流焊环节仍可能引入异常，元件自身也可能存在质量不佳的情况，而这些异常无法单纯依靠 SPI 数据进行预测。

(2) 与其他自编码器架构模型对比分析

同样是自编码器架构，SE-MBAD 模型比 AE 和 CAE 表现更优。这是由于 AE 由全连接层构成，在处理主板数据时，难以充分捕捉锡膏间复杂的空间关系和电气连接关系。CAE 虽将全连接层替换为卷积层和池化层，能捕捉一定的空间特征，但在电气连接关系特征提取以及多尺度特征提取方面存在不足。而 SE-MBAD 模型通过双分支结构分别提取空间和电气连接特征，并利用跨结构特征注意力动态融合模块进行高效融合，在特征提取的全面性和融合的有效性上更具优势，因此性能更优。

(3) 与其他模型性能对比分析

在本次实验中，对比模型性能表现各异。REPEN 效果最差，原因在于它主要依靠学习数据低维表示来提升基于随机距离的异常检测性能，然而主板功能异常检测所涉及的复杂空间和电气连接关系，超出了该模型的有效捕捉范围，所以各项指标表现欠佳。

One-class SVM 作为经典算法，通过构建超平面或超球体来划分正常与异常

数据。在本实验中，它仅依据正常主板数据训练，构建正常数据分布模型，测试时以此判断样本是否异常。但主板锡膏数据复杂多样，该算法在划分正常与异常数据边界时存在局限性，无法像 SE-MBAD 模型那样精准捕捉锡膏间的空间和电气连接关系特征，致使其在关键指标上逊于 SE-MBAD 模型。

DIF 和 SLAD 效果相对不错。DIF 基于隔离森林构建多棵隔离树，其核心机制在于利用样本在隔离树中的平均路径长度量化异常程度：正常样本由于在特征空间中分布相对密集，需要经过更多次随机特征划分才能被隔离到叶子节点，因此平均路径长度较长；而异常样本因特征分布的稀疏性和特殊性，往往在更少的划分步骤后就被隔离，表现出更短的平均路径长度。这种特性使得 DIF 能够快速区分正常和异常样本，在处理大规模主板数据时优势明显。此外，多棵树的集成结构增强了模型的稳定性和泛化能力，从而在主板数据异常检测中表现出较高的有效性。由于主板数据在不同尺度下可能蕴含着不同的异常特征，SLAD 在多个尺度上对数据进行分析建模，具有很强的适应性。例如，在检测主板锡膏的异常时，一些微小的异常可能在较小尺度下才能被发现，而锡膏间的连接异常则需要较大尺度下进行分析。SLAD 能够自动学习不同尺度下的数据特征，通过多尺度分析，全面捕捉各种潜在的异常模式。而且，它在尺度学习过程中，能够根据数据的特点自适应地调整分析尺度，聚焦于对异常检测最有价值的尺度范围，提高了异常检测的准确性和效率，因此在实验中也取得了较好的成绩。

尽管 DIF 和 SLAD 取得了较好成绩，但在特征提取和融合方面仍与 SE-MBAD 存在差距。SE-MBAD 采用的双分支结构，能分别从空间和电气连接两个关键方面提取特征，并通过跨结构特征注意力动态融合模块进行高效融合，这种设计使其在特征提取的全面性和融合的针对性上更具优势，进而综合性能更优。

综上所述，SE-MBAD 模型在主板功能异常检测任务中展现出了明显的优势，其独特的架构设计使其在各项指标上表现优异。

4.4.5.2 消融实验

为探究 SE-MBAD 各组件有效性，开展了消融实验，实验结果如表4.5所示。

从表中可发现，SE-MBAD 在 F1 分数、准确率、精确率、召回率方面均处于领先地位，进一步证明其整体架构能够高效地提取与主板功能异常相关的特征，准确识别异常主板。接下来将分析每个模块的作用。

(1) 基于相邻锡膏特征提取的 CNN 分支：仅保留 CNN 分支时，取得了第三的效果。这表明 CNN 分支能够有效捕捉锡膏的空间特征，对模型性能有重要贡献。与仅使用 CNN 作为编码器的 CAE 相比，Inception 架构的多尺度卷积核并行运算机制，可贴合锡膏空间分布多样性，获取不同尺度的空间排列规律，为判断主板功能状况提供关键信息，取得更高的召回率。不过，由于单独的 CNN 分

表 4.5 SE-MBAD 模型消融实验结果

	准确率	精确率	召回率	F1 分数
SE-MBAD	0.9723	1	0.6667	0.8000
CNN-only Branch	0.9701	1	0.6400	0.7805
Transformer-only Branch	0.9668	0.9412	0.6400	0.7619
Transformer w/o Mask	0.9668	0.9245	<u>0.6533</u>	0.7656
SE-MBAD w/o Mask	<u>0.9712</u>	1	<u>0.6533</u>	<u>0.7903</u>
SE-MBAD w/o Cross-Attention	0.9690	<u>0.9796</u>	0.6400	0.7742

支缺少电气连接关系特征，使得其综合性能不如 SE-MBAD。

(2) 基于电气连接关系特征提取的 Transformer 分支：仅保留 Transformer 分支时，模型取得了 0.7619 的 F1 分数，这说明 Transformer 分支在提取锡膏间电气连接关系特征上发挥了作用。Transformer 的多头注意力机制配合掩码矩阵，能够精准捕捉锡膏间的电气连接特征，为预测主板功能状况提供关键电气维度信息。但是由于掩码机制使得模型仅关注存在电气连接关系的锡膏，忽略掉了重要的空间特征，其性能同样低于 SE-MBAD。

(3) Transformer 分支去除掩码：Transformer 分支去除掩码后，精确率降至 0.9245，这可能是由于全局注意力使得模型被无关锡膏干扰。但同时，全局特征的建模能力也相应增强，这提升了对异常样本的捕获能力，使得召回率提升。

(4) SE-MBAD 去除掩码：当 SE-MBAD 模型去除掩码时，F1 分数为 0.7903，相比完整模型有所下降，这再次验证了掩码机制在整个模型中的关键作用，缺少掩码会影响模型对电气连接特征的准确提取，进而降低性能。但是与仅保留 CNN 分支和仅保留 Transformer 分支相比，SE-MBAD 去除掩码取得了更好的效果，这表明即使没有掩码机制，CNN 分支与 Transformer 分支相结合也能发挥互补优势。CNN 分支负责捕捉锡膏的空间特征，如锡膏间距、尺寸差异等，这些空间特征是判断主板是否存在潜在功能隐患的重要依据；Transformer 分支则负责挖掘锡膏间的电气连接关系，即便没有掩码过滤无关锡膏，其注意力机制仍能在一定程度上捕捉到电气连接的全局特征。二者结合，在一定程度上弥补了因缺少掩码机制导致的电气连接特征提取不精准的问题，从而在综合性能上优于单一分支的模型，进一步体现了 SE-MBAD 模型双分支结构的有效性。

(5) SE-MBAD 去除跨结构特征注意力动态融合模块：去除跨结构特征注意力动态融合模块后，模型性能大幅下降，这表明跨结构特征注意力动态融合模块对模型性能提升意义重大。该模块通过精心设计的 Q-K-V 生成机制，将 CNN 分支捕捉的空间特征与 Transformer 分支获取的电气连接特征进行动态关联和自适应权重分配，使模型能够灵活调整特征融合方式，更精准地捕捉与主板功能状况

紧密相关的关键信息。同时，其残差连接设计有效避免了信息丢失，缓解了梯度消失问题，保证了模型在训练过程中的稳定性，进而提高整体性能。去除该模块后，模型无法充分发挥双分支的协同优势，导致综合性能下降。

通过消融实验可以看出，SE-MBAD 模型的各个组件在主板功能异常检测中都发挥着重要作用。CNN 分支和 Transformer 分支分别从空间和电气连接两个方面提取特征，跨结构特征注意力动态融合模块实现了两种特征的高效融合，而掩码机制则确保 Transformer 分支能够精准捕捉电气连接特征。这些组件相互协作，共同构成了 SE-MBAD 模型，为准确检测主板功能异常提供了有力支持。

4.5 本章小结

本章围绕主板功能异常检测展开研究，考虑到现有异常检测方法缺乏对焊点空间分布及电气连接关系的建模，提出了基于多分支融合自编码器的主板功能异常检测模型。在数据层面，构建同一元件锡膏高度差、体积差等结构特征，并提出基于最近邻贪心算法的数据重排方法，通过优化锡膏空间排列顺序强化相邻焊点的关联性。在模型构建方面，以自编码器为基础框架，发挥 CNN 的空间特征提取能力以及 Transformer 在捕捉长距离依赖关系上的优势，分别从空间和电气连接两个关键维度精准提取特征，并设计跨结构特征注意力动态融合模块，实现空间和电气特征融合。同时，利用基于转置卷积的解码器实现高效的数据重构，通过重构误差得到主板的异常概率。经实验验证，所提模型在准确率、精确率、召回率和 F1 分数上均获得了第一。

第5章 有限时间约束下的双层动态排序测试策略优化方法

针对现有方法在产线良率突然波动场景下存在响应滞后的不足，本章提出有限时间约束下的双层动态排序测试策略优化方法，旨在动态优化测项和主板测试顺序，节省测试和返修成本。该方法在测项层基于期望测试时间对测项进行排序，优先测试高不良概率测项以最小化单板测试用时，在主板层使用主板功能异常概率、测项不良率和期望测试时间构建效益比指标，动态调整高效益比主板的测试优先级。

5.1 引言

合适的测试策略可以平衡测试时间与检出效果，进而降低测试成本与返修成本。现有产线通常采用“必测项全检 + 选测项按比例抽检”的测试策略，存在漏检风险高、测试效率低的不足。对主板功能测试策略进行优化，不仅有助于降低不良主板的漏检率，还能有效提高测试效率，降低返修和测试成本。

为保障产线平稳运行，测试时间通常有限。在有限时间约束下，测试策略优化的核心目标在于减少由返修成本和测试成本组成的总成本。具体而言，该策略需在既定测试时间内达成双重目标：（1）降低不良主板漏检率；（2）提升测试时间利用率。前者旨在降低返修成本，后者旨在节省测试成本。同时由于必测项测试主板的核心功能和高不良概率测项，需要维持全检现状，因此本研究只针对选测项进行优化，后文中的测项如非特别说明，均指选测项，主板功能不良也指选测项导致的功能不良。

在有限测试时间约束下，实施主板与测项的动态排序策略能够对测试时间进行精准配置，从而实现测试成本与返修成本的有效平衡：测项层基于期望测试时间进行排序，确保高不良概率测项在最短时间内被优先执行，既减少测试耗时又提升缺陷检出效率；主板层通过整合主板功能异常概率、测项不良率和期望测试时间三个关键参数，能够量化评估每块主板的测试价值密度——即单位测试时间内发现不良的概率，这种量化评估能力为动态调整测试顺序提供了数据基准，确保将测试时间优先分配给高测试价值密度的主板，从而在测试成本与返修成本之间建立平衡点。

因此，针对现有方法在产线良率突然波动场景下存在响应滞后的不足，本章提出了有限时间约束下的双层动态排序测试策略优化方法，旨在通过动态优化主板和其测项的测试顺序，优先测试高异常概率主板的高不良概率测项，节省测试和返修成本。

本章的结构安排如下：5.2 节设计了有限时间约束下的双层动态排序测试策

略优化方法；5.3节给出了实验设计与结果分析，通过设计对比试验和层级消融实验，验证了方法的有效性；5.4节总结了本章的研究内容。

5.2 有限时间约束下的双层动态排序测试策略优化方法设计

本节将首先介绍动态终止机制，该机制确保时间硬约束不被突破，同时为后续优化释放关键的时间资源。接着介绍测项层测试顺序优化和主板层测试顺序优化，最后介绍双层优化策略的具体实施流程。

5.2.1 动态终止机制

动态终止机制围绕测项级、主板级两个层级展开：

(1) 测项级动态终止机制

设 x_{ij} 为第 i 块主板的第 j 个测项的测试结果，其中 $x_{ij} = 0$ 表示测项测试通过， $x_{ij} = 1$ 表示测项测试出不良。当 $x_{ij} = 1$ 时，立即终止第 i 块主板后续测项的测试。由于只要存在一个测项不良即表示主板不良，及时停止后续测项测试可以有效避免浪费测试时间。

(2) 主板级动态终止机制

主板动态终止机制用于保证满足测试时间约束，即总测试时间小于等于 T 。在实际测试过程中，应用测项动态终止机制，当某测项测出不良时，终止该块主板的其它测项测试。同时实时累计已经花费的测试时间 t_{used} ，记下一个要测试的测项测试时间为 t_{next} ，若 $t_{used} + t_{next} > T$ ，则立即结束测试流程；若 $t_{used} + t_{next} \leq T$ ，则继续按照优化后的顺序进行测试。主板级动态终止机制旨在确保时间硬约束不被突破。

5.2.2 测项层测试顺序优化

对于包含 n 个功能测项的主板，假设测项的测试顺序为 $\pi = (m_1, \dots, m_k, \dots, m_n)$ ，其中 m_k 表示第 k 个接受测试的测项，其对应的测试时间为 t_{m_k} ，不良概率 $p_{m_k} = 1 - y_{m_k}$ ，其中 y_{m_k} 为测项 m_k 的良率，由第三章的良率预测模型得到。

5.2.2.1 期望测试时间计算

测项层的优化目标是 minimized 期望测试时间 E 。对于第一个测试的测项 m_1 ，其测试时间 t_{m_1} 必然被计入期望时间。对于后续测项 $m_k (k \geq 2)$ ，其测试时间仅在前序所有测项均通过测试时才会被累加。因此，测项 m_k 的贡献为前 $k-1$ 个测项均通过的概率与自身测试时间的乘积。在此，假设各测项无相关性，由于涉及的测项均为选测项，其测试内容和功能相对独立，这个假设通常是合理的^[5]。

由此，期望测试时间 E 的完整数学表达式为：

$$\begin{aligned}
 E &= t_{m_1} + (1 - p_{m_1}) \cdot t_{m_2} + \cdots + \prod_{i=1}^{n-1} (1 - p_{m_i}) \cdot t_{m_n} \\
 &= \sum_{k=1}^n \left(\prod_{i=1}^{k-1} (1 - p_{m_i}) \cdot t_{m_k} \right) \tag{5.1}
 \end{aligned}$$

其中当 $k = 1$ 时， $\prod_{i=1}^0 (1 - p_{m_i}) = 1$ 。

5.2.2.2 期望测试时间最小化

通过枚举 $n!$ 种测试顺序并计算对应的 E ，可找到最优解 π^* 使得 E 最小。然而，该方法的时间复杂度为 $O(n!)$ ，随着测项数量的增加，计算量呈阶乘级爆炸式增长。因此，在实际应用过程中，如果 n 较小，可以直接计算最优解；如果 n 较大，可以采用关键测项优先策略降低计算复杂度，优先测试不良概率高且测试时间短的测项，该方案通过局部贪心选择快速逼近最优解，显著减少计算量。

5.2.3 主板层测试顺序优化

主板层测试顺序优化的核心目标在于通过动态排序策略平衡不良主板检出率与测试时间，实现单位时间内异常主板检出率的最大化。具体实施步骤如下：

首先定义主板的效益比 r_i 为：

$$r_i = \frac{q_i \cdot \sum_{j=1}^n p_{ij}}{E_i} \tag{5.2}$$

其中分子 $q_i \cdot \sum_{j=1}^n p_{ij}$ 综合主板功能异常概率 q_i 与测项不良概率总和，反映主板整体异常风险； E_i 是第 i 块主板经过测项测试顺序优化后的期望测试时间。

通过最大化 r_i ，可实现如下优化目标：优先处理综合风险值高的主板——分子主导；当风险值相近时优先处理测试耗时短的主板——分母优化。

基于此，对所有主板依据 r_i 值进行降序排列，得到最优主板测试排序 B^* 。这种策略会优先处理那些风险高或测试耗时短的主板，确保在有限测试时间内覆盖最多的高风险主板，最终实现测试效率的提升。

5.2.4 双层优化策略实施流程

优化方法具体实施流程如5.1所示。

优化过程采用双层递进式结构，具体步骤如下：

- 测项层优化：针对每块主板的功能测项集合 $\{m_1, m_2, \dots, m_n\}$ ，通过最小化该主板的期望测试时间 E_i ，确定最优测试顺序 π^* 。
- 主板层优化：基于测项层优化结果，计算每块主板的效益比 r_i ，并按 r_i 降序排列生成最优测试序列 $B^* = \{b_1, b_2, \dots, b_h\}$ 。

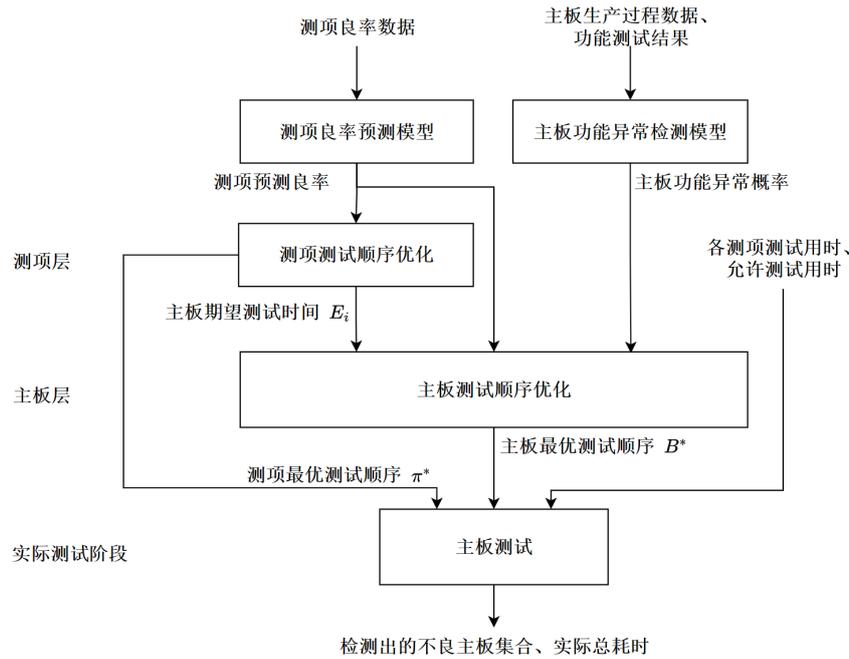


图 5.1 双层测试策略优化方法实施流程

实际测试阶段具体执行逻辑见算法5.1。

算法 5.1 基于双层动态排序结果的主板测试算法

输入: 主板最优测试顺序 $B^* = \{b_1, b_2, \dots, b_h\}$ 、主板 i 的测项最优测试顺序 $\pi_i^* = \{m_1, m_2, \dots, m_n\}$ 、各测项测试时间 $T_{test} = \{t_{11}, t_{12}, \dots, t_{ij}, \dots, t_{hn}\}$ 、允许测试时间 T

输出: 检测出的不良主板集合 D 、实际总耗时 T_{used}

- 1 初始化 $T_{used} \leftarrow 0, D \leftarrow \emptyset$
- 2 **for each** $b_i \in B^*$ **do**
- 3 **for** $j = 1$ **to** n (按 π_i^* 顺序) **do**
- 4 $T_{next} \leftarrow t_{ij};$
- 5 **if** $T_{used} + T_{next} \geq T$ **then**
- 6 **return** 退出所有循环 (终止所有测试);
- 7 **end**
- 8 测试测项 x_{ij} , 耗时 $t_{ij};$
- 9 $T_{used} \leftarrow T_{used} + t_{ij};$
- 10 **if** $x_{ij} = 1$ **then**
- 11 $D \leftarrow D \cup \{b_i\};$
- 12 **break** (测项测试终止);
- 13 **end**
- 14 **end**
- 15 **end**

算法核心机制说明：

1. 双层优化顺序：主板测试按 B^* 序列执行，主板 i 测项按 π_i^* 顺序测试。
2. 动态终止策略：当剩余测试时间不足时提前结束测试；任一测项测出不良即终止该主板测试。

5.3 实验设计与结果分析

本节首先介绍数据集，然后给出关键的评价指标，并且详细描述实验设置。在实验结果分析部分，进行多种测试策略的对比试验和所提方法的消融实验，并对实验结果进行分析。

5.3.1 数据集

为了评估优化方法的性能，将第四章数据集内的 4218 块 M 型号主板按测试时间顺序进行排序，选择后 20% 共 843 块主板作为待测试主板^①。对待测试主板进行批次划分，按每批 48 块划分为 18 个批次，最后一批包含 27 块。经过对该型号主板 19 个选测项历史数据的分析，发现选测项导致的主板功能不良主要由三个特定测项 T_1, T_2, T_3 所引发。在连续两周的生产记录中，除这三个测项外，其余测项均未出现功能不良的情况。基于此，在测试策略优化时，仅针对测项 T_1, T_2, T_3 的测试顺序进行优化，即测项数量 $n = 3$ 。

对于每个批次的最大允许测试时间 T ，其取值参考自 L 厂产线的现行测试策略，前 17 批次主板允许的测试时间 T 设定为每批次 1620 秒，最后一个批次允许的测试时间 T 为 900 秒。

5.3.2 评价指标

为了准确衡量各测试策略的效果，确定了以下关键评估指标：

(1) 检测出的不良主板数量：直接反映了测试策略检测出不良主板的能力，该指标越高，说明测试策略越有效。

(2) 漏检率：未被检测出的不良主板数量占实际不良主板数量的比例，是衡量测试策略检测质量的关键指标。该指标越低，说明测试策略的检出率越高，检出能力越强。

(3) 成本：成本是反映测试策略经济效率的核心指标。使用式5.3对测试过程中每批次主板产生的测试和维修成本之和 $C(s)$ 进行计算：

$$C(s) = \sum_{i=1}^h \sum_{j=1}^n C_{ij}(s)x_{ij} + C_R^m P + C_R^l Q \quad (5.3)$$

^①数据可见：<https://pan.baidu.com/s/230uFPDWPbFb4BQ?pwd=hp3h>，也可联系作者获取。

其中 h 表示该批次的主板总数, n 表示测项总数, $C_{ij}(s)$ 表示第 i 块主板第 j 个测试测项的测试成本, x_{ij} 取值为 0 或 1, 等于 1 表示对第 i 块主板的第 j 个测项进行测试, 等于 0 则表示不进行测试, C_R^m 表示不良主板作为主板维修的平均维修成本, P 表示每批次检测出的不良主板个数, C_R^l 表示不良主板作为笔记本电脑维修的平均维修成本, Q 表示每批次漏检的不良主板个数。

该产线总共有 q 台测试机台用于选测项测试, 每台成本为 u_s , 总配件成本 u_A , 则每台测试机的平均成本 (考虑其配件) 是:

$$\bar{u}_{SA} = u_s + \frac{u_A}{q} \quad (5.4)$$

令测试机的平均使用寿命为 l_{SA} , 则测试功能测项 m_i 所花费的测试成本如下所示:

$$C_{m_i} = \frac{\bar{u}_{SA}}{l_{SA}} \bar{t}_{m_i} \quad (5.5)$$

其中 \bar{t}_{m_i} 为 m_i 测项所花费的平均测试时间。

工人的工作时间和工资分别为每周 W_R 和 V_R 。不良主板的平均维修时间为 t_R^m , 则其返修成本计算公式如下:

$$C_R^m = \frac{V_R}{W_R} t_R^m \quad (5.6)$$

不良笔记本电脑的平均维修时间为 t_R^l , 则其返修成本计算公式如下:

$$C_R^l = \frac{V_R}{W_R} t_R^l \quad (5.7)$$

L 厂对该型号主板选测项使用 $q = 12$ 台测试机台, 每台成本 $u_s = 10^5$ 元人民币, 总配件成本 $u_A = 10^6$ 元人民币, 平均使用寿命 $l_{SA} = 5$ 年, 工人工作时间 $W_R = 40$ 小时/周, 工资 $V_R = 1200$ 元/周。

对于该型号主板, 对全部选测项进行测试花费的平均测试时间 180 秒, 其中测项 T_1, T_2, T_3 平均测试时间分别为 15、37、13 秒。不良主板平均维修时间 $t_R^m = 15$ 分钟, 不良笔记本电脑平均维修时间为 $t_R^l = 36$ 分钟, 包括定位缺陷原因, 拆解电脑, 维修主板, 组装电脑。可以根据以上数据对不同时间约束下不同测试策略的成本 $C(s)$ 进行计算。

5.3.3 实验设置

为了验证双层测试策略优化方法的有效性, 将其与下列测试策略进行对比:

- 测试比例优化^[5]: 该方法以最小化总成本为目标, 综合考虑测试时间等约束条件, 依据测项的历史良率及相应的成本来计算各测项的测试比例。
- L 厂现行策略: 采用等时间间隔进行待测主板的选取。

- L厂免测良好测项：考虑到L厂的策略需要测试过多历史未出现不良的选测项，为了实验公平，设计了L厂免测良好测项测试策略。具体来说，只测试三个历史存在不良的功能测项，同时使用动态终止机制，不对测项测试顺序和主板测试顺序进行优化。
- 仅测项层优化：只针对主板上各功能测项的测试顺序进行优化，实现单个主板期望测试时间的最小化，主板的测试顺序不进行优化。
- 仅主板层优化：仅对主板的测试顺序进行优化，主板各功能测项的测试顺序不变。

为全面把握测试策略在所有批次的检测效果，本章对检测出的不良主板总数、总漏检率及总成本这三个关键指标进行计算。以总成本为例，将所有批次的成本进行累加求和得出总成本，以此反映采用该测试策略需花费的整体成本。

5.3.4 实验结果分析

为验证双层动态排序策略的有效性，将其与多个策略进行对比，还进行了层级消融实验。

5.3.4.1 对比实验

为了更好的了解到各个测试策略在不同时间约束下的成本变化情况，鉴于各测试策略原理与特性的差异，本研究采取了针对性的计算方法。

对于双层动态排序策略、L厂现行策略、L厂免测良好测项、仅测项层优化以及仅主板层优化这五类策略，设定时间范围为 $T \in [0, T]$ ，并且以1秒为间隔，对总成本进行计算。针对每一个时间点，记录各测试策略所对应的总成本数值。

而对于测试比例优化这一策略，因其计算要求的独特性，需依据该方法自身设定的特定规则来进行操作。具体而言，根据其对测项历史良率、成本以及各类约束条件的需求，设置相应的输入进行运算，得出在与上述策略相同的给定条件下该策略总成本的最小值，以及其他关键指标数值，确保其在对比中呈现最佳性能。

筛选出每个测试策略在整个计算过程中的总成本最小值，这些最小值直观反映了各策略在应对不同时间约束时所能达到的最佳成本控制水平。与此同时，进一步计算在总成本达到最小时各策略对应的其他关键指标，通过综合考量这些指标，能够更全面、深入地评估各测试策略的整体性能。相关结果如表5.1所示。

在总成本控制方面，双层动态排序策略表现最优。与测试比例优化策略相比，其总成本降低了21.06%，测试时间缩短了37.87%，且显著优于其他测试策略。这验证了通过协同优化主板测试顺序与单板测项排序的有效性。相比之下，

表 5.1 测试策略对比实验结果

	总成本（元）	总测试用时（秒）	总检出数（个）	漏检率
双层动态排序	125.45	<u>17589</u>	14	0
测试比例优化	158.92	28312	<u>12</u>	<u>0.1429</u>
L 厂策略	241.88	9360	2	0.8571
L 厂免测良好测项	186.52	24964	9	0.3571
仅测项层优化	152.66	22937	<u>12</u>	<u>0.1429</u>
仅主板层优化	<u>127.80</u>	19614	14	0

仅主板层优化虽接近双层策略效果，但由于未结合测项层动态调整，仍存在约 2% 的成本冗余；而仅测项层优化因忽略主板优先级排序，成本差距进一步扩大至 17.8%。

值得注意的是，L 厂现行策略的最小总成本显著高于其他测试策略，暴露出固定比例测试策略的固有缺陷：无法实时根据主板状态动态调整测试强度，导致极低的测试效率和高昂的返修成本。尽管 L 厂免测良好测项策略通过剔除历史无不良测项降低了测试成本，但因缺乏动态排序机制，总成本仍高于优化类策略。

测试比例优化策略依赖历史良率数据计算测试比例，当产线良率发生动态变化时，该策略无法实时调整测试比例，导致高风险主板未被充分测试或低风险主板被过度测试，最终引发漏检风险或资源浪费。相比之下，双层动态排序策略通过实时监测主板功能异常概率与测项执行时间，实现了测试资源的动态分配，从而在良率波动场景下仍能保持稳定的成本控制能力。实验表明，其总成本最小，印证了动态实时调整测试策略对复杂工业场景的必要性。

5.3.4.2 时间约束下双层策略消融实验

为探究双层动态排序策略在不同时间约束下的性能，在实验中通过逐步压缩每批次可用测试时间 T ，观察所提测试策略在不同时间约束下的表现。同时为了解双层动态排序方法的协同机制，本研究采用控制变量法进行层级消融分析。通过分别禁用主板层和测项层，评估各独立层对双层动态排序策略性能的贡献度。

为了衡量测试策略在所有批次的检测效果，计算了检测出的不良主板总数、总漏检率及总成本这三个关键指标，并绘制了相应结果图像。图中横坐标采用非等间隔设计是为了更直观地对比不同时间约束下各测试策略的性能差异，尤其突出关键时间节点对指标的影响。

图 5.2 展示了在不同时间约束下检测出的总不良主板个数。

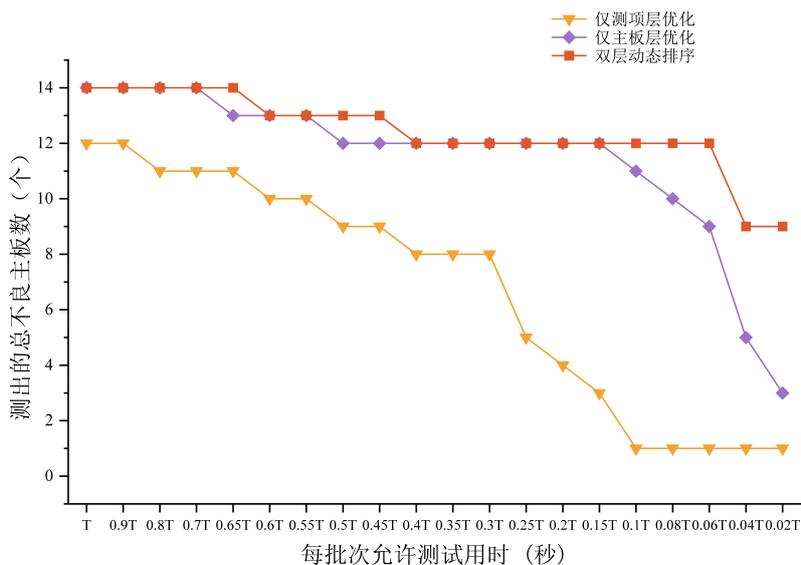


图 5.2 不同时间约束下检测出的总不良主板数

图5.3展示了在不同时间约束下的总漏检率。

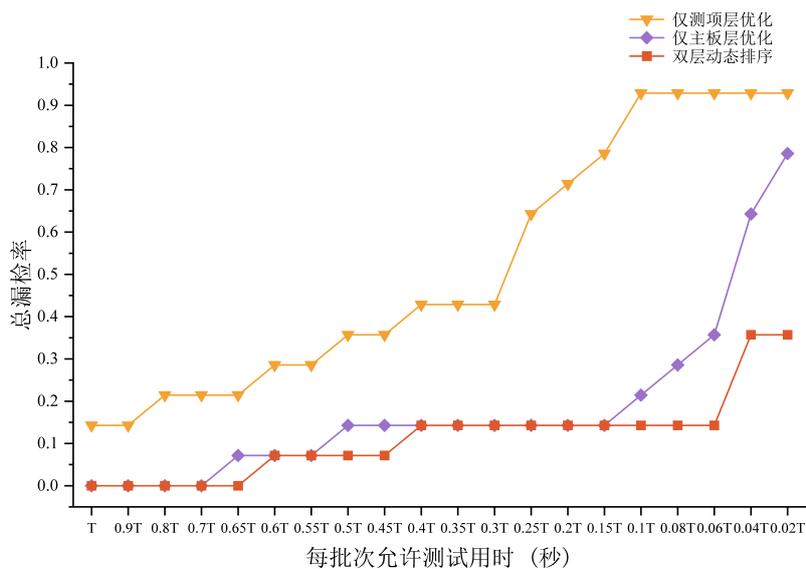


图 5.3 不同时间约束下的总漏检率

从图5.2和5.3中可发现双层动态排序策略在不同时间约束下展现出显著优势：当可用时间压缩至 55% 时，其漏检率仅为 7.14%，而仅测项层优化的漏检率为 35.71%，仅主板层优化的漏检率为 14.29%，性能均明显劣化。这表明双层协同机制能够有效延缓性能退化，其通过动态分配测试资源，在时间受限时优先保障高价值检测任务。即使时间压缩至 4%，双层策略仍能检出 9 块不良主板，漏检率 35.71%，相较仅主板层优化的 64.29% 和仅测项层优化的 92.86%，缺陷拦截能力提升至少 45%。

从图5.2和5.3中还可分析出主板层优化是应对极限时间约束的核心。仅主板层优化策略在 $0.5T$ 时漏检率为 14.29%，与仅测项层优化的 35.71% 相比降低 60%，证明基于风险的主板优先级排序能显著减少高缺陷主板的漏检。测项层优化则发挥增效作用，在 $0.04T$ 极端场景下，双层策略中测项层通过优化测项测试顺序，使漏检率比仅主板层优化降低 29.58%。二者协同形成“主板层粗筛锁定高风险目标，测项层精调提升单板效率”的分级测试优化体系。

双层策略通过分层优化机制，在极限时间约束时实现“性能退化延迟 + 漏检率抑制”的双重收益，其协同效应使极端场景下的缺陷拦截能力比单层策略提升 45% - 300%。

图5.4展示了测试过程中所花费的总成本。在不同的测试时间约束下，双层测试策略优化方法的总成本大多处于较低水平。以初始测试时间 T 为例，双层测试策略优化方法的总成本为 137.67 元，仅测项层测试策略优化方法为 158.62 元，仅主板层测试策略优化方法为 137.77 元。双层策略与仅主板层优化策略成本相近且都低于仅测项层优化策略，这初步显示出双层策略在成本控制上具有一定优势。

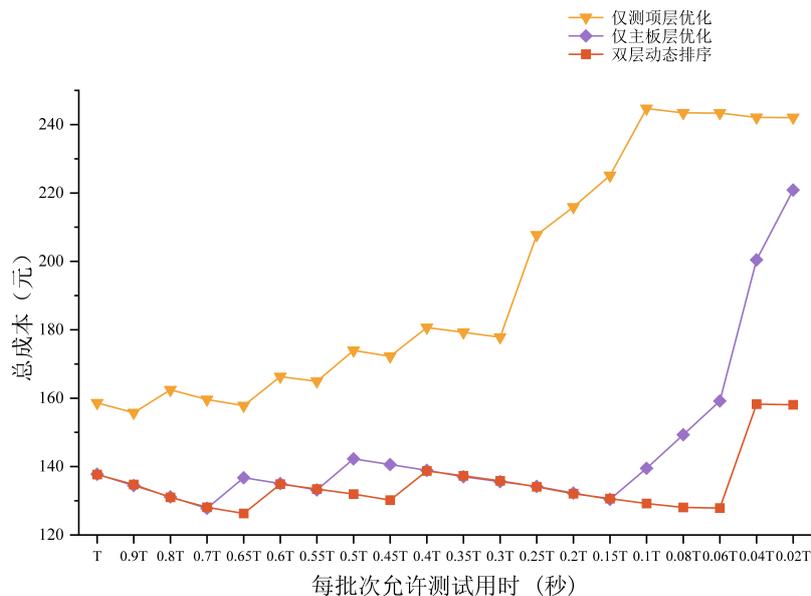


图 5.4 不同时间约束下的测试总成本

对于双层测试策略优化方法，随着测试时间 T 逐步减少，总成本整体呈现波动下降的趋势，在测试时间压缩到 $0.15T$ 时达到较低值 130.63 元。但当测试时间进一步压缩到 $0.04T$ 及以下时，总成本出现明显上升，如在 $0.04T$ 时为 158.26 元， $0.02T$ 时为 158.06 元。这表明双层策略在一定程度上时间压缩下能够有效控制成本，但当时间约束过于严苛时，可能由于无法充分完成测试流程，导致成本增加。

对于仅测项层测试策略优化方法，其总成本随着测试时间的减少呈现出持

续上升的趋势。从初始的 158.62 元逐步增加到 0.02T 时的 242.07 元。这说明该策略对测试时间较为敏感，时间的压缩会显著增加成本，可能是因为其在时间不足的情况下，即使优化了测项测试顺序，也可能因为时间不够没测试到不良主板而产生漏检，导致测试效率低下，进而增加了成本。

对于仅主板层测试策略优化方法，其总成本变化较为复杂。前期随着测试时间减少有一定程度的下降，如在 0.7T 时达到 127.80 元，但之后又开始上升，在 0.02T 时达到 220.87 元。这显示出该策略在一定范围内能够通过优化主板测试顺序降低成本，但当时间约束过强时，也会出现成本大幅上升的情况。

综合来看，双层测试策略优化方法在成本控制方面表现最佳，尤其是在测试时间压缩程度不是特别极端的情况下，能够通过合理的主板和测项层协同优化，在保证较低漏检率的同时，有效控制成本。仅测项层测试策略优化方法对时间约束最为敏感，成本随时间压缩持续增加，且在漏检率和不良主板检出数方面表现欠佳。仅主板层测试策略优化方法在一定程度上能够控制成本，但在极端时间约束下，成本上升幅度较大。

5.4 本章小结

本章针对现有优化策略在产线良率波动场景下的响应滞后问题，提出了有限时间约束下的双层动态排序测试策略优化方法，该方法能根据主板功能异常概率和测项不良率为每批次主板及其测项的测试顺序进行动态调整，较好地应对良率波动场景。该方法在测项层基于期望测试时间对测项进行排序，优先测试高不良概率测项以最小化单板测试用时，在主板层通过主板功能异常概率、测项不良率和期望测试时间构建效益比指标，动态调整高效益比主板的测试优先级。对每批次主板在规定的测试时间内按优化顺序进行测试，与现有方法相比，可以节省 21.06% 的总成本和 37.87% 的测试时间，降低 14.29% 的漏检率。

第6章 总结与展望

6.1 工作总结

优化主板功能测试策略，不仅有助于降低不良主板的漏检率从而减少返修成本，还能够有效减少测试时间从而降低测试成本，实现降本增效。由于现有优化方法依赖历史良率进行测试策略设计，在面对产线良率突然波动的场景时，存在响应滞后的问题，无法及时调整测试策略，进而影响测试效率，增加成本。针对上述局限性，本文提出基于良率预测和异常检测的主板功能测试策略优化方法，其核心是结合测项未来良率和主板功能异常概率进行动态的测试策略调整。

本文的主要研究工作总结如下：

(1) 针对测项良率突变频繁的难点，提出了基于改进 PatchTST 的测项良率预测模型，该模型能够有效的抑制突变对良率预测的干扰，并且由于充分利用测项良率数据特点进行模型设计，有效的提升了测项良率预测精度。通过对测项良率的深入分析，得出其趋势项强、周期性弱且易突变的特点；针对良率数据的特点设计了移动平均分解模块，将良率解耦为表征长期模式的趋势项和包含突变的残差项，并基于多尺度 Patch 划分策略对 PatchTST 进行了改进，使得模型可以同时建模局部波动和长期趋势；使用加权融合模块整合趋势项和残差项预测结果；最后进行实验验证模型效果，相比于现有模型的最佳性能，所提模型的平均绝对误差减少了 6.9%。

(2) 考虑到焊点空间分布以及电气连接关系对主板功能的影响，提出了基于多分支融合自编码器的主板功能异常检测模型，由于充分考虑了主板功能异常的原因，所提模型可以更有效的检测出功能异常的主板。在数据层面，手动构建同一元件锡膏高度差等特征，并依据锡膏间的空间距离对数据进行重新排布；在模型层面，设计了双分支编码器，分别从空间和电气连接两个方面提取与主板功能状况相关的关键特征，并设计动态融合模块实现特征交互，利用转置卷积解码器重构输入，计算重构误差得到主板功能异常概率；最后进行实验验证模型效果，所提模型 F1 分数提高了 2.5%，召回率提高了 4.2%。

(3) 针对现有优化策略在产线良率波动场景下的响应滞后问题，提出了有限时间约束下的双层动态排序测试策略优化方法，该方法能根据主板功能异常概率和测项良率为每批次主板及其测项的测试顺序进行动态调整，较好的应对良率波动场景，相较现有方法，进一步缩减了成本及测试时间。该方法在测项层基于期望测试时间对测项进行排序，优先测试高不良概率测项以最小化单板测试用时，在主板层通过主板功能异常概率、测项不良率和期望测试时间构建效益比指标，动态调整高效益比主板的测试优先级。将 843 块主板按每批 48 块划分为

18个批次，最后一批包含27块，对每批次主板在规定的测试时间内按优化顺序进行测试，与现有方法相比，可以节省21.06%的总成本和37.87%的测试时间，降低14.29%的漏检率。

6.2 研究展望

综上所述，本文对主板功能测试策略优化展开了研究，取得了一些成效。但是，本文的研究仍有一些不足，主要包括以下几个方面：

(1) 本文第3章中提出的测项良率预测模型中加权融合模块仍存在改进空间，由于该模块仅通过固定权重线性叠加趋势项与残差项预测结果，难以捕捉两类特征间的动态关系，可能导致某些数据点的预测误差增大。未来研究可考虑引入基于注意力机制的动态权重分配策略。注意力机制能够根据输入数据的特征动态调整权重分配，从而更好地反映趋势项和残差项在不同情况下的重要性。此外，还可以结合其他动态权重调整方法，如贝叶斯动态权重调整方法等，进一步优化加权融合模块的性能。

(2) 考虑到焊点空间分布以及电气连接关系对主板功能的影响，提出了基于多分支动态特征融合自编码器的主板功能异常检测模型，虽然与现有方法相比能更有效的检测出功能异常的主板，但是仍然存在召回率不高的问题，需要进一步优化模型结构与特征提取方式。

(3) 本文提出的测试策略优化方法性能依赖于准确的测项良率预测以及准确的主板功能异常概率评估，若预测误差累积或异常概率估计存在偏差，可能导致测试排序策略的次优决策，进而影响整体优化效果。未来研究可设计开发基于在线学习的自适应优化机制，通过引入预测不确定性量化模块，动态评估测项良率与异常概率的置信区间，并据此构建鲁棒性测试排序目标函数，降低预测误差对策略稳定性的影响。

参考文献

- [1] 陈冰卿. N 电子制造企业智能制造升级的战略研究[D]. 华中师范大学, 2024.
- [2] 徐元红. “互联网+”背景下 F 公司生产智能化应用的优化策略研究[D]. 东南大学, 2020.
- [3] 陆杰. 主板 FCT 测试方案自动生成系统的设计[D]. 苏州大学, 2011.
- [4] JERN S T W, SAMSUDIN N A, ASWAD F M, et al. An expert system for laptop fault diagnostic assistance[J]. *Journal of Soft Computing and Data Mining*, 2021, 2(1): 41-52.
- [5] BAI P, KANG Y, WANG K, et al. Modelling and optimizing motherboard functional testing in laptop manufacturing[J]. *Journal of Systems Science and Complexity*, 2024, 37(6): 2406-2423.
- [6] LI Y, WANG K, KANG Y, et al. Board-level functional test selection based on fault tree analysis[C]//2023 6th International Symposium on Autonomous Systems (ISAS). 2023: 1-6.
- [7] CHEN Y L, SACCHI S, DEY B, et al. Exploring machine learning for semiconductor process optimization: A systematic review[J]. *IEEE Transactions on Artificial Intelligence*, 2024, 5(12): 5969-5989.
- [8] SHIN C K, PARK S C. A machine learning approach to yield management in semiconductor manufacturing[J]. *International Journal of Production Research*, 2000, 38(17): 4261-4271.
- [9] JANG S J, KIM J S, KIM T W, et al. A wafer map yield prediction based on machine learning for productivity enhancement[J]. *IEEE Transactions on Semiconductor Manufacturing*, 2019, 32(4): 400-407.
- [10] 郑城. 数据驱动的晶圆良率控制方法研究[D]. 东华大学, 2021.
- [11] 许鸿伟. 数据驱动的晶圆良率预测方法研究[D]. 东华大学, 2020.
- [12] LI X, SUN J, XIAO F. An efficient prediction framework for multi-parametric yield analysis under parameter variations[J]. *Frontiers of Information Technology & Electronic Engineering*, 2016, 17(12): 1344-1359.
- [13] CHEN T, WANG Y C. An agent-based fuzzy collaborative intelligence approach for precise and accurate semiconductor yield forecasting[J]. *IEEE Transactions on Fuzzy Systems*, 2014, 22(1): 201-211.
- [14] 周秀. 数据驱动的晶圆制造良率预测方法研究[D]. 河南工业大学, 2024.
- [15] LEE M Y, CHOI Y J, LEE G T, et al. Attention mechanism-based root cause analysis for semiconductor yield enhancement considering the order of manufacturing processes[J]. *IEEE Transactions on Semiconductor Manufacturing*, 2022, 35(2): 282-290.
- [16] 谢林骏. 基于统计过程控制的 SMT 印刷工序质量控制系统研究与应用[D]. 重庆大学, 2018.

- [17] XIE J, GUO Y, LIU D, et al. A multimodal fusion method for soldering quality online inspection[J]. *Journal of Intelligent Manufacturing*, 2024, 34: 1-14.
- [18] ULGER F, YUKSEL S E, YILMAZ A. Anomaly detection for solder joints using β -VAE[J]. *IEEE Transactions on Components, Packaging and Manufacturing Technology*, 2021, 11(12): 2214-2221.
- [19] CAO N, WON D, YOON S W. PADS: Predictive anomaly detection for SMT solder joints using novel features from SPI and pre-AOI data[J]. *IEEE Transactions on Components, Packaging and Manufacturing Technology*, 2024, 14(3): 501-509.
- [20] MIRZAEI M. Automating fault detection and quality control in PCBs: A machine learning approach to handle imbalanced data[D]. *Concordia University*, 2023.
- [21] ZHENG Z, PU J, LIU L, et al. Contextual anomaly detection in solder paste inspection with multi-task learning[J]. *ACM Transactions on Intelligent Systems and Technology*, 2020, 11(6): 1-17.
- [22] YOO Y H, KIM U H, KIM J H. Convolutional recurrent reconstructive network for spatiotemporal anomaly detection in solder paste inspection[J]. *IEEE Transactions on Cybernetics*, 2022, 52(6): 4688-4700.
- [23] TANG H, TIAN Y, DAI J, et al. Prediction of production line status for printed circuit boards [C]//PHM Society European Conference: Vol. 7. 2022: 563-570.
- [24] PRASAD-RAO J, HEIDARY R, WILLIAMS J. Detecting manufacturing defects in PCBs via data-centric machine learning on solder paste inspection features[A]. 2023. arXiv: 2309.03113.
- [25] DERMAN G. The impact of surface mount technology on electronics manufacturing[J]. *Microelectronics Journal*, 1986, 17(2): 5-11.
- [26] MANGIN C H, MCCLELLAND S. Surface mount technology: Prospects and pitfalls[J]. *Assembly Automation*, 1987, 7(1): 24-26.
- [27] HE J, CEN Y, LI Y, et al. A novel placement method for mini-scale passive components in surface mount technology[J]. *The International Journal of Advanced Manufacturing Technology*, 2021, 115(5): 1475-1485.
- [28] GAO H, JIN W, YANG X, et al. A line-based-clustering approach for ball grid array component inspection in surface-mount technology[J]. *IEEE Transactions on Industrial Electronics*, 2017, 64(4): 3030-3038.
- [29] WU H, LEI R, PENG Y. PCBNet: A lightweight convolutional neural network for defect inspection in surface mount technology[J]. *IEEE Transactions on Instrumentation and Measurement*, 2022, 71: 1-14.
- [30] EKERE N, LO E, MANNAN S. Process modelling maps for solder paste printing[J]. *Soldering*

- & Surface Mount Technology, 1994, 6(2): 4-11.
- [31] CHEN C S, WANG H, KAO Y C, et al. Predictive model of the solder paste stencil printing process by response surface methodology[J]. Soldering & Surface Mount Technology, 2022, 34(5): 292-299.
- [32] YOO Y H, KIM U H, KIM J H. Convolutional recurrent reconstructive network for spatiotemporal anomaly detection in solder paste inspection[J]. IEEE Transactions on Cybernetics, 2022, 52(6): 4688-4700.
- [33] HUANG C Y, LIN Y H, YING K C, et al. The solder paste printing process: Critical parameters, defect scenarios, specifications, and cost reduction[J]. Soldering & Surface Mount Technology, 2011, 23(4): 211-223.
- [34] CHENG T, LIU X, QIN L, et al. A practical micro fringe projection profilometry for 3D automated optical inspection[J]. IEEE Transactions on Instrumentation and Measurement, 2022, 71: 1-13.
- [35] CHIN R T, HARLOW C A. Automated visual inspection: A survey[J]. IEEE Transactions on Pattern Analysis and Machine Intelligence, 1982, 4(6): 557-573.
- [36] PAN J, TONKAY G, STORER R, et al. Critical variables of solder paste stencil printing for micro-BGA and fine-pitch QFP[J]. IEEE Transactions on Electronics Packaging Manufacturing, 2004, 27(2): 125-132.
- [37] DURAIRAJ R, NGUTY T, EKERE N. Critical factors affecting paste flow during the stencil printing of solder paste[J]. Soldering & Surface Mount Technology, 2001, 13(2): 30-34.
- [38] RUSDI M S, ABDULLAH M Z, CHELLVARAJOO S, et al. Stencil printing process performance on various aperture size and optimization for lead-free solder paste[J]. The International Journal of Advanced Manufacturing Technology, 2019, 102(9): 3369-3379.
- [39] HUI T W, PANG G K H. Solder paste inspection using region-based defect detection[J]. The International Journal of Advanced Manufacturing Technology, 2009, 42(7): 725-734.
- [40] SRIPERUMBUDUR S S, MEILUNAS M, ANSELM M. Solder paste volume effects on assembly yield and reliability for bottom terminated components[J]. Soldering & Surface Mount Technology, 2017, 29(2): 99-109.
- [41] JIANG J, CHENG J, TAO D. Color biological features-based solder paste defects detection and classification on printed circuit boards[J]. IEEE Transactions on Components, Packaging and Manufacturing Technology, 2012, 2(9): 1536-1544.
- [42] BARD J F, CLAYTON R W, FEO T A. Machine setup and component placement in printed circuit board assembly[J]. International Journal of Flexible Manufacturing Systems, 1994, 6(1): 5-31.
- [43] ELLIS K, VITTES F, KOBZA J. Optimizing the performance of a surface mount placement

- machine[J]. IEEE Transactions on Electronics Packaging Manufacturing, 2001, 24(3): 160-170.
- [44] DAI W, MUJEEB A, ERDT M, et al. Soldering defect detection in automatic optical inspection [J]. Advanced Engineering Informatics, 2020, 43: 101004.
- [45] CHEN S H, PERNG D B. Automatic optical inspection system for IC molding surface[J]. Journal of Intelligent Manufacturing, 2016, 27(5): 915-926.
- [46] WHALLEY D C. A simplified reflow soldering process model[J]. Journal of Materials Processing Technology, 2004, 150(1): 134-144.
- [47] 陆杰. 主板 FCT 测试方案自动生成系统的设计[D]. 苏州大学, 2011.
- [48] 姜楠, 谭艳鹃, 王楚珺, 等. 基于智能软件优化的计算机主板功能测试平台设计[J]. 软件, 2024, 45(11): 148-150.
- [49] NIE Y, NGUYEN N H, SINTHONG P, et al. A time series is worth 64 words: Long-term forecasting with transformers[C]//The Eleventh International Conference on Learning Representations (ICLR). 2022.
- [50] HINTON G E, OSINDERO S, TEH Y W. A fast learning algorithm for deep belief nets[J]. Neural Computation, 2006, 18(7): 1527-1554.
- [51] LI P, PEI Y, LI J. A comprehensive survey on design and application of autoencoder in deep learning[J]. Applied Soft Computing, 2023, 138: 110176.
- [52] 邵帅. 基于深度学习的海上端到端自编码器通信系统设计[D]. 大连海事大学, 2024.
- [53] YIN C, ZHANG S, WANG J, et al. Anomaly detection based on convolutional recurrent autoencoder for IoT time series[J]. IEEE Transactions on Systems, Man, and Cybernetics: Systems, 2022, 52(1): 112-122.
- [54] WANG S, WANG X, ZHANG L, et al. Auto-AD: Autonomous hyperspectral anomaly detection network based on fully convolutional autoencoder[J]. IEEE Transactions on Geoscience and Remote Sensing, 2022, 60: 1-14.
- [55] LI Z, SUN Y, YANG L, et al. Unsupervised machine anomaly detection using autoencoder and temporal convolutional network[J]. IEEE Transactions on Instrumentation and Measurement, 2022, 71: 1-13.
- [56] FAN H, ZHANG F, LI Z. Anomalydae: Dual autoencoder for anomaly detection on attributed networks[C]//2020 IEEE International Conference on Acoustics, Speech and Signal Processing. 2020: 5685-5689.
- [57] ZHANG X, JIN X, GOPALSWAMY K, et al. First de-trend then attend: Rethinking attention for time-series forecasting[C]//NeurIPS '22 Workshop on All Things Attention: Bridging Different Perspectives on Attention. 2022.
- [58] CHEN P, PEDERSEN T, Bak-Jensen B, et al. Arima-based time series model of stochastic

- wind power generation[J]. IEEE Transactions on Power Systems, 2010, 25(2): 667-676.
- [59] CHENG C, S N, Akkarapol, B, Omer, et al. Time series forecasting for nonlinear and non-stationary processes: A review and comparative study[J]. IIE Transactions, 2015, 47(10): 1053-1071.
- [60] ZHU W, DAI W, TANG C, et al. Pmanet: A time series forecasting model for chinese stock price prediction[J]. Scientific Reports, 2024, 14(1): 18351.
- [61] HANZ, ZHAO J, LEUNG H, et al. A review of deep learning models for time series prediction [J]. IEEE Sensors Journal, 2021, 21(6): 7833-7848.
- [62] JOHNSTON F R, B, J E, M, M, et al. Some properties of a simple moving average when applied to forecasting a time series[J]. Journal of the Operational Research Society, 1999, 50 (12): 1267-1271.
- [63] WU H, XU J, WANG J, et al. Autoformer: Decomposition transformers with auto-correlation for long-term series forecasting[C]//Advances in Neural Information Processing Systems (NeurIPS): Vol. 34. Curran Associates, Inc., 2021: 22419-22430.
- [64] VASWANI A, SHAZEER N, PARMAR N, et al. Attention is all you need[C]//Advances in Neural Information Processing Systems (NeurIPS): Vol. 30. Curran Associates, Inc., 2017.
- [65] KIM T, KIM J, TAE Y, et al. Reversible instance normalization for accurate time-series forecasting against distribution shift[C]//International Conference on Learning Representations (ICLR). 2021.
- [66] WANG Y, WU H, DONG J, et al. Timexer: Empowering transformers for time series forecasting with exogenous variables[C]//The Thirty-Eighth Annual Conference on Neural Information Processing Systems (NeurIPS). 2024.
- [67] ZHANG Y, MA L, PAL S, et al. Multi-resolution time-series transformer for long-term forecasting[C]//Proceedings of The 27th International Conference on Artificial Intelligence and Statistics (AISTATS). PMLR, 2024: 4222-4230.
- [68] ZHOU H, ZHANG S, PENG J, et al. Informer: Beyond efficient transformer for long sequence time-series forecasting[J]. Proceedings of the AAAI Conference on Artificial Intelligence, 2021, 35(12): 11106-11115.
- [69] ZENG A, CHEN M, ZHANG L, et al. Are transformers effective for time series forecasting? [J]. Proceedings of the AAAI Conference on Artificial Intelligence, 2023, 37(9): 11121-11128.
- [70] CHEN S A, LI C L, ARIK S O, et al. TSMixer: An all-MLP architecture for time series forecasting[J]. Transactions on Machine Learning Research, 2023.
- [71] HUANG C Y, LIN Y H, YING K C, et al. The solder paste printing process: Critical parameters, defect scenarios, specifications, and cost reduction[J]. Soldering & Surface Mount Technology, 2011, 23(4): 211-223.

-
- [72] FURQAN M, ADHA R M, ARMANSYAH A. Determination of the closest path using the greedy algorithm[J]. *International Journal of Information System and Technology*, 2024, 7(5): 333-340.
- [73] SZEGEDY C, LIU W, JIA Y, et al. Going deeper with convolutions[C]//*Proceedings of the IEEE Conference on Computer Vision and Pattern Recognition (CVPR)*. 2015: 1-9.
- [74] LI Z, LIU F, YANG W, et al. A survey of convolutional neural networks: Analysis, applications, and prospects[J]. *IEEE Transactions on Neural Networks and Learning Systems*, 2022, 33(12): 6999-7019.
- [75] CHEN H, JIANG D, SAHLI H. Transformer encoder with multi-modal multi-head attention for continuous affect recognition[J]. *IEEE Transactions on Multimedia*, 2021, 23: 4171-4183.
- [76] D'AGOSTINO M, DARDANONI V, RICCI R G. How to standardize (if you must)[J]. *Scientometrics*, 2017, 113(2): 825-843.
- [77] JANA D, PATIL J, HERKAL S, et al. CNN and convolutional autoencoder (CAE) based real-time sensor fault detection, localization, and correction[J]. *Mechanical Systems and Signal Processing*, 2022, 169: 108723.
- [78] SCHÖLKOPF B, WILLIAMSON R C, SMOLA A, et al. Support vector method for novelty detection[C]//*Advances in Neural Information Processing Systems (NeurIPS): Vol. 12*. MIT Press, 1999.
- [79] PANG G, CAO L, CHEN L, et al. Learning representations of ultrahigh-dimensional data for random distance-based outlier detection[C]//*Proceedings of the 24th ACM SIGKDD International Conference on Knowledge Discovery & Data Mining*. Association for Computing Machinery, 2018: 2041-2050.
- [80] XU H, PANG G, WANG Y, et al. Deep isolation forest for anomaly detection[J]. *IEEE Transactions on Knowledge and Data Engineering*, 2023, 35(12): 12591-12604.
- [81] XU H, WANG Y, WEI J, et al. Fascinating supervisory signals and where to find them: Deep anomaly detection with scale learning[C]//*Proceedings of the 40th International Conference on Machine Learning (ICML)*. PMLR, 2023: 38655-38673.

致谢

行文至此，落笔为终，硕士生涯也即将画上句点。站在这个即将告别校园的节点回望，那些在实验室里反复实验的日夜、与同门激烈讨论的场景、导师耐心指导的瞬间，都在脑海中清晰浮现。此刻，心中满是感激，想要向那些在我求学生涯中给予我帮助和支持的人道一声谢谢。

首先，我要深深感谢我的导师赵云波教授。赵老师，您不仅是我学术道路上的引路人，更是我人生中的重要导师。您对每一个研究课题都倾注了极大的热情和专注，无论面对多么复杂的学术难题，您总是能够以敏锐的洞察力和严谨的逻辑思维去剖析问题的本质。您渊博的学识、严谨的治学态度以及对学术的执着追求，深深地感染并激励着我。您对学术的严谨态度时刻鞭策着我，让我明白只有脚踏实地、一丝不苟地对待每一个研究细节，才能取得真正的成果。您的言传身教，让我在学术的道路上不断成长，也让我学会了如何以平和、坚韧的心态面对各种挑战。师恩难忘，这份感激之情我将永远铭记于心。

其次，我要感谢我的实践导师许镇义副研究员，感谢许老师对课题的悉心指导，每当我在研究中遇到困难，产生迷茫时，许老师总会及时给予我鼓励和支持，他的每一次指导都让我受益匪浅，使我能够在科研的道路上稳步前行。

我也要感谢我的师兄刘斌琨。在研究生的学习生活中，师兄在学术上给予了我诸多帮助，总是毫无保留地与我分享他的研究经验和学习心得，从实验设计到数据分析，从论文撰写到文献查阅，师兄都给予了我耐心细致的指导。

我还要感谢我的父母，是你们用无私的爱与支持陪伴我一路成长。在我决定攻读硕士学位时，你们给予了我最大的鼓励与支持，让我有勇气去追逐自己的梦想。在我遇到挫折与困难时，你们总是第一时间给予我安慰与鼓励，让我重新振作起来。你们是我永远的避风港，无论我走到哪里，你们的爱与支持都是我最坚实的后盾。感谢你们一直以来的付出与奉献，我将用我的努力与成就来回报你们的养育之恩。

最后，我要感谢实验室的所有同门。在实验过程中，我们相互协作、相互支持；在课余时间，我们一起讨论学术问题、分享生活趣事。这些美好的回忆将成为我一生中最珍贵的财富。感谢你们的陪伴与支持，让我在研究生生活中不再孤单，也让我感受到了团队的力量与温暖。

再次感谢所有在我研究生学习生活中给予我帮助和支持的人，是你们让我在成长的道路上不再迷茫，让我有勇气去追逐自己的梦想。我将永远铭记这段难忘时光，也将带着你们的期望与祝福，继续在未来的道路上努力前行，用我的努力与成就回报你们的关爱与支持。

在读期间取得的科研成果

已发表论文:

- (1) **Jiayu Li**, Yunbo Zhao, and Binkun Liu. Functional Evaluation for Printed Circuit Board Based on Surface Mount Technology Process Data[C]//2024 11th International Forum on Electrical Engineering and Automation (IFEEA). IEEE, 2024: 18-21.

已公开专利:

- (1) 赵云波, **李佳玉**, 康宇, 柏鹏, 谈正军, 徐久存, 刘斌琨, 许镇义. 基于图注意力神经网络的印刷电路板质量预测方法 [P]. 安徽省: CN202410915657.4, 2024-10-29.

已授权专利:

- (1) 赵云波, 刘斌琨, 康宇, 曹洋, 陈龙鑫, **李佳玉**. 锡膏印刷质量异常预测方法、系统、设备及存储介质 [P]. 安徽省: CN202411566368.4, 2025-01-21.